

①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ Übersetzung der
europäischen Patentschrift

⑨7 EP 0 548 649 B 1

⑩ DE 692 31 089 T 2

⑤1 Int. Cl. 7:
H 04 L 7/04
H 04 L 12/66
H 03 M 7/00
H 04 J 3/22

- ②1 Deutsches Aktenzeichen: 692 31 089.4
⑨6 Europäisches Aktenzeichen: 92 120 813.8
⑨6 Europäischer Anmeldetag: 5. 12. 1992
⑨7 Erstveröffentlichung durch das EPA: 30. 6. 1993
⑨7 Veröffentlichungstag
der Patenterteilung beim EPA: 24. 5. 2000
④7 Veröffentlichungstag im Patentblatt: 5. 10. 2000

DE 692 31 089 T 2

- ③0 Unionspriorität:
807981 16. 12. 1991 US
- ⑦3 Patentinhaber:
Alcatel, Paris, FR
- ⑦4 Vertreter:
Patentanwälte U. Knecht und Kollegen, 70435
Stuttgart
- ⑧4 Benannte Vertragsstaaten:
AT, BE, CH, DE, ES, FR, GB, IT, LI, NL, SE

- ⑦2 Erfinder:
Stephenson, Jr., William Hermas, Raleigh, North
Carolina, US

⑤4 Parallel DS3 AIS/Ruhe Kodegenerator

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

DE 692 31 089 T 2

HINTERGRUND DER ERFINDUNG

Feld der Erfindung

Diese Erfindung gehört allgemein in den Bereich der Einrichtungen zur digitalen Datenkommunikation und spezieller zu den Kommunikationseinrichtungen, welche Schnittstellen zu zwei Netzen haben, von denen eines die Daten asynchron und das andere die Daten synchron überträgt.

Beschreibung der bisherigen Technik

In der bisherigen Technik zur Erzeugung eines parallelen DS3-AIS-Signals wird ein DS3-Takt aufbereitet, oder es wird ein lokaler Oszillator verwendet, um einen DS3-Takt zu erzeugen. Der Takt wird dann durch fünf oder acht geteilt, um Worte mit fünf oder acht Bit, die einen DS3-Rahmen bilden, in einen Parallel-Serien-Wandler einzuspeichern. Das serielle Ausgangssignal wird so wie es ist benutzt, oder es wird erneut in Bytes mit acht Bit aufgeteilt, um in ein DS3-Nutzsignal formatiert zu werden.

Der Hauptnachteil dieses Verfahrens ist, daß immer dann, wenn der normale Takt ausfällt, ein anderer DS3-Takt erzeugt werden muß. Bei einem DS3-Takt-Fehler oder einem Datenfehler ist es erforderlich, einen zweiten Takt zu benutzen, um ein AIS-Signal (Alarm Indication Signal, Alarm-Anzeige-Signal) zu erzeugen. Es muß ein DS3-AIS-Nutzsignal mit Rahmen erzeugt werden und anstelle der normalen DS3-Daten an die nächste Stufe gesendet werden.

Die speziellen Nachteile des oben erwähnten Verfahrens sind, daß ein zusätzlicher Taktgenerator oder Oszillator-Schaltkreis benötigt wird, um einen heruntergeteilten parallelen DS3-Takt mit der korrekten Frequenz zu erzeugen, um kontinuierliche DS3-Daten in Rahmen zu erzeugen.

Aus US-Patentschrift 5,030,951 ist ein Umwandlungssystem bekannt, das die Umwandlung eines asynchronen digitalen DS3-Signals in ein synchrones digitales STS-1-Signal eines synchronen Glasfasernetzes (Synchronous Optical Network, SONET) und in Gegenrichtung durchführt. Die Umwandlung wird erreicht, indem eine Serien-Parallel-

Umsetzung in N parallele Signale durchgeführt wird; indem N parallele Signale in einem Speicher temporär gespeichert werden, wobei die parallelen Signale gemäß individueller Taktsignale auf einer Umwandlungsseite gelesen und geschrieben werden; indem zusätzliche Stopfbits in einige der N parallelen Signale eingefügt werden; indem die N parallelen Signale in ein serielles Signal zurückgewandelt werden; und indem Kopfteil-Bytes zum seriellen Signal hinzuaddiert werden. Das Dokument behandelt weder das Problem, wie ein AIS/Ruhe-Signal erzeugt werden kann, noch wie ein Taktfehler oder ein Datenfehler des asynchronen digitalen Signals zu behandeln ist.

ZUSAMMENFASSUNG DER ERFINDUNG

Gemäß der vorliegenden Erfindung wird eine Vorrichtung für die Umwandlung eines DS3-Digitalsignals in einem DS3-Rahmenformat in ein STS-1-Signal in einem STS-1-Rahmenformat als Funktion eines lokalen STS-1-Taktes bereitgestellt. Mittel zur Erzeugung des DS3-AIS/Ruhe-Kodes erzeugen DS3-AIS/Ruhe-Kode-Bytes als Reaktion auf das lokale STS-1-Taktsignal. Ein DS3-Bytezähler zählt die DS3-AIS/Ruhe-Kode-Bytes und erzeugt ein AIS/Ruhe-Bytezahlungs-Freigabe-Steuersignal, wenn die Anzahl von DS3-AIS/Ruhe-Kode-Bytes unter einer vorher festgelegten Anzahl von DS3-Bytes liegt, die in eine vorgegebene Zeile des STS-1-Rahmens umgesetzt werden müssen. Ein STS-1-Zeilenzähler zählt Impulse des lokalen STS-1-Taktsignals und erzeugt ein lückenbehaftetes STS-1-Freigabe-Steuersignal, das mit dem AIS/Ruhe-Bytezahlungs-Steuersignal kombiniert und zurückgekoppelt wird, um die Mittel zur DS3-AIS/Ruhe-Kode-Erzeugung für die Umsetzung der DS3-AIS/Ruhe-Kode-Bytes in die vorgegebene Zeile des STS-1-Rahmens freizugeben und zu sperren.

In einer bevorzugten Ausführung besteht der DS3-Bytezähler aus einer Vielzahl von Flipflops und einer zugehörigen kombinatorischen Logik zur Zählung der DS3-AIS/Ruhe-Kode-Bytes und hat eine kombinatorische Logik zum Empfang von Eingangssignalen von der Vielzahl von Flipflops zur Erzeugung eines AIS/Ruhe-Bytezahlungs-Steuersignals. Die STS-1-Zeilenzählungs-Mittel haben eine Vielzahl von Flipflops und eine zugehörige kombinatorische Logik zur Zählung von Impulsen des lokalen STS-1-Taktsignals, und sie haben eine kombinatorische Logik, die Eingangssignale von der Vielzahl von Flipflops zur Erzeugung eines lückenbehafteten STS-1-Freigabe-Steuersignals empfängt. Die Vorrichtung weist auch Mittel zur Erzeugung eines Steuerungssignals für kurze Zeilen auf, die ein Steuerungssignal für kurze Zeilen für den DS3-Bytezähler erzeugen.

03.05.00

Die Erfindung kann in vielen verschiedenen Typen von Anwendungen eingesetzt werden, die Kommunikations-Schnittstellengeräte enthalten, welche DS3 in STS-1 und STS-1 in DS3 umwandeln.

Weitere Ziele, Eigenschaften und Vorteile der vorliegenden Erfindung werden in der folgenden detaillierten Beschreibung zusammen mit der begleitenden Zeichnung deutlich.

BESCHREIBUNG DER ZEICHNUNGEN

Figur 1 zeigt ein Schaltbild eines DS3-AIS/Ruhe-Kodegenerators.

Figur 2 zeigt ein Schaltbild eines DS3-AIS/Ruhe-Generators.

Figur 3 zeigt ein Schaltbild eines Addiere1/5-Zählers.

Figur 4 zeigt ein Schaltbild eines Mittels zum parallelen Datenschieben.

Figur 5 zeigt ein Schaltbild eines Modulo-11-Zählers.

Figur 6 zeigt ein Schaltbild eines Modulo-8-Zählers.

Figur 7 zeigt ein Schaltbild eines Modulo-7-Zählers.

Figur 8 zeigt ein Schaltbild eines AIS/Ruhe-Bytezählers.

Figur 9 zeigt ein Schaltbild eines Zeilenzählers.

Figur 10 zeigt ein Zeitdiagramm zur Erzeugung einer 77-Byte-AIS-Zeile.

Figur 11 zeigt ein Zeitdiagramm zur Erzeugung einer 78-Byte-AIS-Zeile.

DETAILLIERTE BESCHREIBUNG DER ERFINDUNG

I. DIE ERFINDUNG IN IHRER ALLGEMEINEN ANWENDUNG

Im allgemeinen verwendet ein paralleler DS3-AIS-Generator einen lückenbehafteten lokalen SONET-Takt, um anstelle eines DS3-Taktes einen korrekten AIS-Rahmen zu erzeugen. Zähler und eine Steuerlogik werden dazu benutzt, den DS3-AIS-Rahmen zu erzeugen, sowie einige fest verdrahtete Multiplexer, um einen abwechselnden 1010 AIS-Kode oder einen abwechselnden 1100 DS3-Ruhe-Kode einschließlich der geeigneten Rahmenbildungs-Bits zu erzeugen.

In Betrieb werden die 699 Bytes, die einen 125-Mikrosekunden-Abschnitt von DS3-Daten bilden, gezählt. Ein AIS-Bytezähler gibt ein Freigabesignal aus, um den Generator anzuhalten, nachdem die erforderliche Zahl von Bytes erzeugt wurde. Das parallele

Ausgangssignal kann dann einen elastischen Puffer durchlaufen, und ein benutzbarer DS3-Takt kann aus ihm wiedergewonnen werden.

Ein DS3-Rahmen setzt sich aus 56 Unterrahmen zusammen, von denen jeder 85 Bit enthält. Jeder Unterrahmen enthält zehn 8-Bit-Bytes und ein 5-Bit-Byte. Dieses Rahmenformat verursacht ein Problem, die parallelen Daten kontinuierlich zu halten. Erstens wird ein Schaltkreis benötigt, der Datenbyte-Teile in volle Bytes umwandelt. Eine derartige Schaltung ist in der Europäischen Patentschrift EP-A-0547459, veröffentlicht am 23.6.93, mit dem Titel "Partial Word to Full Word Parallel Data Shifter", Erfinder William H. Stephenson, Jr., beschrieben.

Zweitens ist es für den Zweck dieser Erfindung wichtig, daß ein stabiler Takt mit höherer Frequenz benutzt und richtig mit Lücken versehen wird, um eine exakte Nutzinformation zu erzeugen, die erforderlich ist, mit einer PLL (Phase Locked Loop) Daten mit 44,736 MHz zu entnehmen. Wie weiter unten detaillierter beschrieben wird, besteht die aktuelle Implementation aus einer Vielzahl von Multiplexern, die dazu verwendet werden, das korrekte Muster zu formatieren, aus einem Modulo-11-Zähler, einem Modulo-8-Zähler, einem Modulo-7-Zähler, einem parallelen Daten-Schieberegister und einem Zeilenzähler, der die Freigabe des Zählens und die Ausgabe der Daten steuert.

Der Modulo-11-Zähler wird dazu benutzt, die 85 Bit in einem Unterrahmen zu zählen, der Modulo-8-Zähler wird dazu benutzt, die 8 Unterrahmen in einem M-Rahmen zu zählen, und der Modulo-7-Zähler wird dazu benutzt, die 7 M-Rahmen in einem DS3-Rahmen zu zählen. Kombinatorische Logik wird dazu benutzt, das korrekte Rahmenbildungs-Muster an der ersten Bitposition jedes Unterrahmens einzufügen. Das parallele Daten-Schieberegister wird dazu benutzt, die 5-Bit-Bytes hinzuzufügen und die 8-Bit-Bytes neu auszurichten, um komplette 8-Bit-Ausgangs-Bytes zu erzeugen. Ein Modulo-90-Spaltenzähler wird dazu benutzt, ein richtig mit Lücken versehenes Zähl-Freigabe-Signal zu erzeugen. Der AIS-Bytezähler zählt die Anzahl von Ausgangsbytes pro Zeile vom parallelen Daten-Schieberegister, und läßt 78 Bytes für 2 Zeilen und 77 Bytes für jede dritte Zeile zu, was sich zu 699 DS3-AIS-Bytes in 9 Zeilen aufsummiert, was gleich einem SONET-Rahmen ist. Dies ist der Rückkopplungspfad, der so geändert werden kann, daß der Formatierer mit Taktfrequenzen über 6,48 MHz arbeiten kann.

II. DETAILLIERTE BESCHREIBUNG EINER SPEZIELLEN AUSFÜHRUNG

Wie es in der Telekommunikation allgemein bekannt ist, wird eine Schnittstelleneinrichtung benötigt, um ein Standard-DSx-Netz, das asynchrone elektrische Signale sendet und empfängt, mit einem synchronen Glasfasernetz (im folgenden "SONET-Netz" genannt) zu koppeln, das synchrone optische Signale sendet und empfängt. In einem Standard-DS3-Netz werden die asynchronen Signale Bit für Bit seriell mit einer Standard-Übertragungsrate von 44,736 MHz übertragen und in einen bekannten Digitalsignal-Rahmen Ebene 3 formatiert (im folgenden "DS3-Rahmen" genannt). Der DS3-Rahmen umfaßt 7 M-Rahmen, wobei jeder M-Rahmen 8 Unterrahmen hat und jeder Unterrahmen 85 Informationsbits aufweist, so daß sich als Summe 595 Bytes (4760 Bits) ergeben. In einem Standard-OC1-SONET-Netz werden die synchronen optischen Signale parallel formatiert und seriell mit einer optischen Standard-Übertragungsrate von 51,840 MHz übertragen, die als STS-1 bekannt ist (im folgenden STS-1-Rahmen" genannt). Der STS-1-Rahmen besteht aus 90 Spalten und 9 Zeilen mit Bytes, so daß sich insgesamt 810 Bytes (6480 Bits) ergeben. Siehe zum Beispiel American National Standards for Telecommunications, Digital Hierarchy-Optical Interface Rates and Formats Specification, ANSI T1.105-1988.

Die vorliegende Erfindung enthält Mittel zur Erzeugung eines Alarmanzeige-Signals (Alarm Indication Signal, im folgenden AIS-Signal genannt), wenn ein Verlust eines DS3-System-Taktsignals oder ein Verlust eines Datensignals auf der DS3-Leitung erkannt wird. Es ist in der Technik der Telekommunikationsnetze bekannt, daß während der Erzeugung dieser AIS/Ruhe-Kode-Signale wegen der inhärenten Unterschiede des Formatierungsverfahrens bei asynchronen DS3-Rahmen und synchronen STS-1-Rahmen und wegen der inhärent unterschiedlichen Übertragungsraten bei verschiedenen Taktfrequenzen Teile von Bytes auftreten.

1. Die Schnittstelleneinrichtung im Allgemeinen

Eine bevorzugte Implementation der vorliegenden Erfindung bildet einen Teil eines anwendungsspezifischen Schaltkreises (ASIC), der einen Empfänger-Schaltkreis enthält (nicht gezeigt). Für das Verständnis der unten beschriebenen Erfindung reicht es aus, zu wissen, daß der Empfangsschaltkreis ein DS3-System-Taktsignal mit einer Frequenz von 44,736 MHz empfängt und es in einem 8-Bit-Zähler teilt, um eine lokale Taktfrequenz von 5,592 MHz zu erzeugen. Der Empfangsschaltkreis verfügt auch über ein 8-Bit-Serien/Parallel-Datenschieberegister, das einen seriellen DS3-Datenstrom mit einer Taktgeschwindigkeit von 44,736 MHz empfängt und in einen parallelen 8-Bit-Datenstrom mit einer Taktgeschwindigkeit von 5,592 MHz umwandelt. Die parallelen 8-Bit-Daten werden in

eine STS-1 Synchronous Payload Envelope (SPE) umgewandelt, indem sie mit den geeigneten Steuerbits und Stopfbits formatiert werden, die von der Frequenzdifferenz zwischen der DS3-Taktrate und einer STS-1-Taktrate abhängig sind. Logikschaltungen steuern den Prozeß der DS3/STS-1-Datenumwandlung.

Um das AIS-Signal zu erzeugen, wenn ein Verlust des System-Taktsignals erkannt wird, oder das Ruhe-Steuersignal zu erzeugen, wenn der eintreffende Datenstrom verlorengegangen ist, weist der Empfangsschaltkreis einen DS3-AIS/Ruhe-Kodegenerator 2 auf, dessen allgemeiner Aufbau in Figur 1 gezeigt ist. Er enthält einen DS3-AIS/Ruhe-Kode-Formatierer 4, der digital über eine kombinatorische Logik mit einem Zeilenzähler 6 und einem AIS-Bytezähler 8 verbunden ist. Der DS3-AIS/Ruhe-Kodegenerator 2 dient zur Erzeugung von DS3-AIS-Daten oder DS3-Ruhe-Kode-Daten mit der Breite eines Byte und mit der Frequenz des lokalen Taktes. Der DS3-AIS/Ruhe-Kodegenerator 2 gibt diese Daten parallel, sowie ein zugehöriges Schreib-Freigabesignal an ein geeignetes Speichermittel (nicht gezeigt) aus, das allgemein als elastisches Speichermittel bekannt ist, da es das asynchrone DS3-Signal im Bitraten-Umwandlungsprozeß puffert. In einer Ausführung werden die AIS- und die Ruhe-Kode-Daten mit einer Frequenz von 5,592 MHz in den Pufferspeicher eingelesen, d.h. mit dem DS3-Taktsignal von 44,736 geteilt durch 8, und aus dem Pufferspeicher mit einer Frequenz von 6,48 MHz ausgelesen, d.h. mit dem STS-1-Taktsignal von 51,840 MHz geteilt durch 8. Das DS3-AIS/Ruhe-Kodegenerator-Mittel 4 erzeugt AIS-Daten und Ruhe-Kode-Daten, die sowohl in RX- als auch in TX-Richtung benutzt werden können, und ist der Schwerpunkt dieser Erfindung.

Der DS3-AIS/Ruhe-Kodegenerator 4 empfängt die folgenden System-Eingangssignale: ein Reset-Eingangssignal RESET* (Das auf die Abkürzung des Signals folgende Sternchen zeigt an, daß das Signal low-aktiv ist.), ein lokales Takt-Eingangssignal CLK, ein Empfangs-Ruhe-Kode-Auswahl-Eingangssignal RIDLCD, ein Sende-Ruhe-Kode-Auswahl-Eingangssignal TIDLCD und ein Freigabesignal für das Alarm-Anzeige-Signal AISEN. Der DS3-AIS/Ruhe-Kodegenerator 4 erzeugt die folgenden System-Ausgangssignale: Empfangs-Ausgangs-Datenbus RDAIC <7...0> und die Sende-Ausgangs-Datenbusse TDAIC <7...0>, das Freigabesignal für die Steuerung der Empfangs-Ausgabedaten RDAEN und das Freigabesignal für die Steuerung der Sende-Ausgabedaten TDAEN, sowie das Eingabe-Steuersignal zum Incrementieren des Zählers CTRINC. Der DS3-AIS/Ruhe-Kodegenerator 4 erzeugt AIS- und Ruhe-Kode-Daten in beiden Übertragungsrichtungen.

2. Der DS3-AIS/Ruhe-Generator

Figur 2 zeigt den DS3-AIS/Ruhe-Generator 4, der folgende Strukturelemente enthält: Drei Zähler, die als Modulo-11-Zähler-Mittel 20, Modulo-8-Zähler-Mittel 22 und Modulo-7-Zähler-Mittel 24 bezeichnet sind; ein Mittel zur Erzeugung von AIS- und Ruhe-Kode, das zwei 3:1-Multiplexer 30 und 32, sowie zwei 2:1-Multiplexer 34 und 36 hat (im folgenden "Multiplexer 30", "Multiplexer 32", usw. genannt) mit Eingängen von der zugehörigen kombinatorischen Logik; ein Addiere1/5-Zähler-Mittel 40, das eine 1-Bit- und eine 5-Bit-Addition durchführt; und die Mittel 50 und 52 zum parallelen Schieben von Daten.

Im Betrieb erzeugen die drei Zähler 20, 22, 24 Unterrahmen-, M-Rahmen- und DS3-Rahmen-Steuersignale, mit denen die Mittel zur AIS- und Ruhe-Kode-Erzeugung angesteuert werden. Der Modulo-11-Zähler 20 zählt die 85 Bits pro Unterrahmen, der Modulo-8-Zähler 22 zählt 8 Unterrahmen in einem M-Rahmen, und der Modulo-7-Zähler 24 zählt die 7 M-Rahmen im DS3-Rahmen. Um die 85 Datenbits zu erzeugen, aus denen ein Unterrahmen besteht, erzeugen die AIS- und Ruhe-Kode-Erzeugungs-Mittel ein erstes Teil-Byte mit 5 Bit und erzeugen dann 10 aufeinanderfolgende komplette Bytes. Beim ersten Taktimpuls jedes Unterrahmens erzeugt der Modulo-11-Zähler 20 ein erstes Byte-Steuersignal BYTEONE für den AIS- und Ruhe-Kodegenerator zur Erzeugung des ersten Datenbytes; und bei den nächsten zehn Taktimpulsen werden die kompletten 8-Bit-Kodebytes erzeugt. Die parallelen Daten-Schieberegister 50 und 52 richten das Teil-Byte mit 5 Bit wieder aus, indem sie es zu den kompletten 8-Bit-Bytes hinzuaddieren, um einen kompletten Ausgangs-Datenstrom aus 8-Bit-Bytes zu erzeugen, der in einen Pufferspeicher geschrieben wird. Einzelheiten zu diesem Daten-Schieberegister werden in der oben erwähnten Patentschrift EP-A-0547459 angegeben. Der AIS-Bytezähler 8 zählt die Anzahl von DS3-Datenbytes pro Zeile im STS-1-Rahmen, die von den Parallel-Daten-Schieberegistern 50 und 52 erzeugt werden. Der Modulo-90-Spaltenzähler 6 erzeugt ein richtig mit Lücken versehenes Zähler-Freigabesignal als Funktion der STS-1-Taktrate, das im folgenden ausführlich beschrieben wird.

3. Die AIS/Ruhe-Kodegenerator-Mittel

Wie in der Technik bekannt, besteht der DS3-Kode aus einem Rahmen-Ausrichtungs-Kode 1001, x Bits, die auf logisch "1" gesetzt sind, C und P Bits, die auf logisch "0" gesetzt sind, und Informationsbits aus einem sich wiederholenden 1010-Muster mit geeigneten Stopfbits. Das auf das Steuerbit C jedes M-Unterrahmens folgende Bit ist logisch "1". Eine Decodierlogik wählt aus, welche Datenblöcke die Steuerbits "1" oder "0" bekommen. Für eine

detailliertere Diskussion des DS3-Formats siehe Bellcore-Spezifikation TR-TSY-000499, Ausgabe 3, Dezember 1989.

Wie ebenfalls in Bild 2 gezeigt wird, enthalten die Mittel zur Erzeugung des AIS/Ruhe-Kodes die Multiplexer 30 und 32, welche die DS3-AIS- und DS3-Ruhe-Kode-Muster formatieren. Multiplexer 30 hat einen 8-Bit-Eingang D0 zum Empfang von AIS-Daten vom Mischer 53 als "01010000" und einen 8-Bit-Eingang D1 zum Empfang von AIS-Daten vom Mischer 54 als "11010000". Das erste Bit ist ein Steuerbit, entweder "1" oder "0", die nächsten vier Bits sind das AIS-Muster "1010", und die letzten drei Bits sind Stopfbits "000". Multiplexer 30 hat auch einen 8-Bit-Eingang D2 zum Empfang eines 8-Bit-AIS-Datenmusters "10101010" vom Mischer 55. Auf gleiche Weise hat Multiplexer 32 einen 8-Bit-Eingang D0 zum Empfang von Ruhe-Kode-Daten von Mischer 56 als "01100000", und einen 8-Bit-Eingang D1 zum Empfang von AIS-Daten von Mischer 57 als "11100000". Auf gleiche Weise ist das erste Bit ein Steuerbit, entweder "1" oder "0", die nächsten vier Bits sind das Ruhe-Kode-Muster "1100", und die letzten drei Bits sind Stopfbits "000". Multiplexer 32 hat auch einen 8-Bit-Eingang D2 zum Empfang eines 8-Bit-Ruhe-Kode-Musters "11001100" vom Mischer 58.

Das Steuersignal für das erste Byte-BYTEONE durchläuft einen invertierenden Treiber, der die D2-Eingänge beider Multiplexer 30 und 32 steuert. Wenn BYTEONE aktiv ist, können die Eingänge D1 und D0 abhängig von der Steuerlogik ausgewählt werden.

Rahmenbildungs-Entscheidungen werden nur getroffen, wenn BYTEONE aktiv (High-Pegel) ist. Zum Beispiel sind ein ODER-Gatter mit 3 Eingängen 60 und ein NAND-Gatter mit 2 Eingängen 62 in Reihe geschaltet und werden dazu benutzt, die Steuerbit-Positionen des ersten Blocks in den Unterrahmen 1, 2 und 6 auszuwählen. Wie weiter unten beschrieben wird, werden die Steuersignale D7CNT0, D7CNT1 und D7CNT5 vom Modulo-7-Zähler 24 an ODER-Gatter 60 angelegt, und sein Ausgangssignal wird zusammen mit D8CNT0 vom Modulo-8-Zähler 22 an das NAND-Gatter 62 angelegt. Ein NOR-Gatter mit 2 Eingängen 64 empfängt die Steuersignale D8CNT1 und D8CNT7 vom Modulo-8-Zähler 22, der die Steuerbit-Positionen des zweiten und letzten Blocks in allen Unterrahmen auswählt. Die Ausgangssignale von NAND-Gatter 62 und NOR-Gatter 64 werden an das UND-Gatter 66 angelegt und von Inverter 68 invertiert, um Eingang D1 auszuwählen, der ein Steuerbit = 1 ist. Alle anderen Steuerbits sind Null. Daher hat der AIS-Multiplexer 30 am Eingang D1 "11010000" und am Eingang D0 "01010000" codiert. Der Ruhe-Kode-Multiplexer 32 hat am Eingang D1 "11100000" und am Eingang D0 "01100000" codiert. Wie weiter unten erläutert

wird, werden die drei LSB-Stopfbits vom Parallel-Daten-Schieberegister 50 und 52 überschrieben.

Wenn das Steuersignal für das erste Byte BYTONE auf Low-Pegel liegt, ist Eingang D2 ausgewählt, und Multiplexer 30 gibt an den Byte-Positionen 2-11 jedes Unterrahmens ein sich wiederholendes "1010"-AIS-Muster aus, und Multiplexer 32 gibt an den Byte-Positionen 2-11 jedes Unterrahmens ein "1100"-Ruhe-Kode-Muster aus.

Im Betrieb werden die beiden Multiplexer mit 2 Eingängen 34 und 36 dazu benutzt, unabhängig AIS-Daten oder Ruhe-Kode-Daten für die RX- und TX-Seiten der Schnittstelleneinrichtung auszuwählen. Der Eingang 'A' beider Multiplexer ist mit dem Ruhe-Kode-Multiplexer 32 verbunden, und die Eingänge 'B' sind an den AIS-Multiplexer 30 angeschlossen. Multiplexer 30 liefert AIS-Daten an das Parallel-Daten-Schieberegister 50 der Empfangsseite und wird durch das Signal zum Lesen von Ruhe-Steuerdaten RIDLCD gesteuert, das einen invertierenden Treiber 70 ansteuert. Ein logischer High-Pegel des Signals RIDLCD dient zur Auswahl des Ruhe-Kode-Ausgangs. Multiplexer 32 liefert Daten an das Parallel-Daten-Schieberegister 52 der Sendeseite und wird durch das Signal zum Senden von Ruhe-Steuerdaten TIDLCD gesteuert, das einen invertierenden Treiber 72 ansteuert. Ein logischer High-Pegel des Signals TIDLCD dient zur Auswahl des Ruhe-Kode-Ausgangs.

4. Der Addiere1/5-Zähler

Der Betrieb des in Figur 3 gezeigten Addiere1/5-Zählers 40 wird in der vom Anmelder ebenfalls eingereichten Patentanmeldung mit dem Titel "Partial Word to Full Word Parallel Data Shifter", wie oben angegeben, beschrieben.

5. Das Parallel-Daten-Schieberegister

Der Betrieb der in Figur 4 gezeigten Parallel-Daten-Schieberegister 50 und 52 wird in der vom Anmelder ebenfalls eingereichten Patentanmeldung mit dem Titel "Partial Word to Full Word Parallel Data Shifter", wie oben angegeben, beschrieben.

6. Der Modulo-11-Zähler

Wie in Figur 5 gezeigt, ist der Modulo-11-Zähler 20 ein 4-Bit-Zähler, der aus den T-Flipflops 200, 202, 204 und 206 besteht. Der Ausgang Q_P von Flipflop 200 liegt zusammen

mit einem Freigabesignal EN als Eingang an NAND-Gatter **212**. Das Ausgangssignal des NAND-Gatters **212** ist ein low-aktives Eingangssignal für den Freigabe-Eingang EN* des Flipflops **202**. Flipflop **202** und **204** sind auf gleiche Weise mit NAND-Gatter **214** verbunden, und Flipflop **204** und **206** sind mit NAND-Gatter **216** verbunden. Die Zählfolge des 4-Bit-Zählers ist "0000", "0001", "0010", "0011", ..., "1010", "0000". Wenn der Zähler "1010" erreicht, werden die Eingänge OEN4, OEP3, OEN2 und OEP1 so kombiniert, daß das Steuersignal D11C11 erzeugt wird, was anzeigt, daß ein Block von 85 Bits gezählt wurde. Die vier Flipflops empfangen das Alarmsignal-Anzeige-Freigabesignal AISEN (siehe Bild 2) als ihren jeweiligen Takteingang AISCK.

Im Betrieb wird der Modulo-11-Zähler **20** auf "0000" initialisiert, wenn das low-aktive Signal RESET* an ein NOR-Gatter **210** angelegt wird, wodurch die Flipflops **200**, **202**, **204** und **206** zurückgesetzt werden. Beim ersten Taktimpuls erzeugen die low-aktiven Eingänge OEP1, OEP2, OEP3, OEP4 von Gatter **218** ein Ausgangssignal BYTEONE, das dazu benutzt wird, die ersten 5 Bit jedes Blocks von DS3-Daten zu definieren, die von den Mitteln zur AIS- und Ruhe-Kode-Erzeugung erzeugt werden. Dies wird weiter unten detaillierter erläutert.

Die nächsten zehn Zählsschritte des Modulo-11-Zählers **20** zeigen die nächsten 10 getrennten Datenbytes an, die in dem Datenblock als Datenstrom von 80 Bit folgen. Ein Ausgangssignal D11C11 zeigt das Ende eines Blocks mit 85 Bit an. Wie am besten in Figur 2 gezeigt, gibt das Ausgangssignal D11C11 den Modulo-8-Zähler **22** frei und wird an D1/11 des Modulo-7-Zählers **24** angelegt.

7. Der Modulo-8-Zähler

Wie in Figur 6 gezeigt, ist der Modulo-8-Zähler **22** ein 3-Bit-Zähler, der aus drei T-Flipflops **230**, **232** und **234** besteht, die so angeordnet sind, daß die 8 Daten-Unterrahmen gezählt werden, die einen M-Rahmen bilden. Der Q_P-Ausgang D10 von Flipflop **230** liegt zusammen mit einem Freigabesignal EN als Eingang an NAND-Gatter **240**. Das Ausgangssignal des NAND-Gatters **240** ist ein low-aktives Eingangssignal für den Freigabe-Eingang EN* des Flipflops **232**. Flipflop **232** und **234** sind auf gleiche Weise mit NAND-Gatter **242** verbunden. Die Zählfolge des 3-Bit-Zählers ist "000", "001", "010", "011", ..., "111", "000". An den Modulo-8-Zähler **22** werden die gleichen Eingangssignale angelegt, wie an den Modulo-11-Zähler **20**. Die Gatter **244**, **246** und **248** erzeugen die Modulo-8-

Steuersignale D8CNT0, D8CNT1, bzw. D8CNT7, die festlegen, welche Unterrahmen ein erstes Steuerbit von "1" erhalten, siehe Bild 2, wie oben erläutert.

8. Der Modulo-7-Zähler

Wie in Figur 7 gezeigt, ist der Modulo-7-Zähler 24 ein 3-Bit-Zähler, der aus drei T-Flipflops 250, 252 und 254 besteht, die so angeordnet sind, daß die 7 M-Rahmen gezählt werden, aus denen der DS3-Rahmen besteht. ##1##Der Q_p-Ausgang DIP von Flipflop 260 liegt zusammen mit einem Freigabesignal EN als Eingang an NAND-Gatter 260. Das Ausgangssignal des NAND-Gatters 260 ist ein low-aktives Eingangssignal für den Freigabe-Eingang EN* des Flipflops 252. Flipflop 252 und 254 sind auf gleiche Weise mit NAND-Gatter 262 verbunden. Die Zählfolge des 3-Bit-Zählers ist "000", "001", "010", "110", ..., "110", "000". An den Modulo-7-Zähler 24 werden die gleichen Eingangssignale angelegt, wie an den Modulo-11-Zähler 20 und den Modulo-8-Zähler 22. Die Gatter 270, 272 und 274 erzeugen die Modulo-7-Steuersignale D7CNT0, D7CNT1, bzw. D7CNT5, die festlegen, welche M-Rahmen ein erstes Steuerbit von "1" erhalten, siehe Bild 2, wie oben erläutert.

9. Der Bytezähler

Wie in Figur 1 am besten gezeigt, werden der AIS/Ruhe-Bytezähler 8 und der Modulo-90-Zähler 6 kombiniert, um ein lückenbehaftetes lokales SONET-Taktsignal zu erzeugen, das als AIS-Freigabesignal AISEN an den DS3-AIS/Ruhe-Kodegenerator 2 angelegt wird.

Der AIS/Ruhe-Bytezähler 8 zählt die 699 Bytes, die einen 125-Mikrosekunden-Abschnitt des DS3-Rahmens bilden. Der AIS/Ruhe-Bytezähler zählt die Anzahl von Ausgangsbytes pro Zeile von den Parallel-Daten-Schieberegistern 50, 52 und läßt für 2 Zeilen 78 Bytes und für jede dritte Zeile 77 Bytes zu, was sich für 9 Zeilen des STS-1-Rahmens von SONET-Daten zu den 699 DS3-AIS-Bytes aufaddiert. Der Rest der Bits, aus denen der STS-1-Rahmen besteht, sind Steuer- und Stopfbits.

Wie in Figur 8 gezeigt, ist der AIS/Ruhe-Bytezähler 8 ein 7-Bit-Zähler, der aus den sieben T-Flipflops 300, 302, 304, 306, 308, 310 und 312 besteht, die so angeordnet sind, daß sie die Anzahl der DS3-AIS-Bytes pro Rahmen zählen. Die 7 Flipflops sind mit einer kombinatorischen Logik, die aus den NAND-Gattern 320, 322, 324, 326, 328, 330 besteht, so verbunden, daß die Zählfunktion durchgeführt wird. NAND-Gatter 332 und 334 erhalten

geeignete Eingangssignale von den Flipflops und erzeugen den Byte-Zählwert 77 als ein Ausgangs-Bytezählungs-Steuersignal ABY77*, und den Byte-Zählwert 78 als ein Ausgangs-Bytezählungs-Steuersignal ABY78*. Ein Steuersignal für kurze Zeilen SHROW wird von den Flipflops 12 und 14 erzeugt, mit einer geeigneten kombinatorischen Logik kombiniert, siehe Figur 1, und an NAND-Gatter 332 angelegt.

Der AIS/Ruhe-Bytezähler 8 empfängt ein Zähler-Eingangs-Kein-Übertrags-Signal CTRINC von den Parallel-Daten-Schieberegistern 50 und 52; siehe Figur 2 und 4. Da das DS3-AIS-Signal unter Verwendung des Sende-Systemtaktes TXCLK des STS-1 erzeugt wird, muß die korrekte Anzahl erzeugter Bytes gezählt werden, um die Richtigkeit der vom TX-DS3-PLL-Takt (nicht gezeigt) empfangenen DS3-Frequenz zu garantieren. Es gibt 699 DS3-Bytes pro Rahmen, die in sechs Zeilen mit 78 Byte und drei Zeilen mit 77 Byte pro Rahmen umgewandelt werden. Nachdem der AIS-Bytezähler 8 gelöscht wurde, ist CLR high-aktiv, und der Zähler zählt immer dann weiter, wenn das eintreffende Zählersignal CTRINC oder TSTINC auf High-Pegel liegt. TSTINC wird auf Low-Pegel gelegt, und CTRINC ist das Freigabesignal für den elastischen Speicher vor der Neusynchronisierung, so daß es das nächste Datenbyte von den Parallel-Daten-Schieberegistern 50 und 52 anzeigt. Zwei NAND-Gatter mit 8 Eingängen werden benutzt, die Byte-Steuersignale ABY77* und ABY78* zu decodieren. Der Zähler wird nach jeder SONET-Zeile vom Steuersignal bei Zählwert 89 CNT89 des Modulo-90-Zählers 6 zurückgesetzt, siehe Figur 1.

10. Der Modul-90-Zähler

Der Modulo-90-Zähler 6 liefert ein lückenbehaftetes SONET-Steuersignal, das als AISEN ausgegeben wird.

Wie in Figur 9 gezeigt, ist der Modulo-90-Zähler 6 ein freilaufender 7-Bit-Zähler, der von Null bis 89 zählt und dann auf Null zurückschaltet. Er besteht aus 7 T-Flipflops 340, 342, 344, 346, 348, 350 und 352, die so angeordnet sind, daß sie die Anzahl von STS-1-AIS-Bytes pro Rahmen zählen. Das LSB ist ein freilaufendes T-Flipflop 340, und die nächsten sechs Bits sind T-Flipflops mit low-aktivem Freigabeeingang. Die 7 Flipflops sind über eine kombinatorische Logik, die aus den NAND-Gattern 354, 356, 358, 360, 362, 364 besteht, miteinander verbunden, um die Zählfunktion auszuführen. Die NAND-Gatter 364, 366 und 368 empfangen geeignete Eingangssignale von den Flipflops und erzeugen das Ausgangs-Steuersignal bei Zählwert 89 CNT89. Die NAND-Gatter 374, 376, 378, 380, 382, 384 und Gatter 386 empfangen geeignete Eingangssignale von den Flipflops und erzeugen neun

Lücken im AIS-Freigabesignal AISEN. Zum Beispiel erzeugt NAND-Gatter 374 eine Lücke in der 44. Byteposition. NAND-Gatter 380 erzeugt die 20. und die 21. Lücke, NAND-Gatter 382 erzeugt die 42. und die 43. Lücke, NAND-Gatter 384 erzeugt die 64. und die 65. Lücke, und NAND-Gatter 376 und NAND-Gatter 378 erzeugen die 86., bzw. die 88. Lücke.

Die Lücken im SONET-Taktsignal sind aus folgenden Gründen erforderlich. Wenn das AIS/Ruhe-Kode-Signal erzeugt wird, wie oben erläutert, wird jeder 85-Bit-Unterrahmen mit einem 5-Bit-Byte erzeugt, und in einer gegebenen SONET-Zeile können maximal acht 5-Bit-Bytes vorliegen, was zu einer Diskrepanz bei der Synchronisation der DS3-Taktfrequenz mit der STS-1-Taktfrequenz führt. Diese 24 fehlenden Bits müssen berücksichtigt werden. Als eine Lösung sind von dem lückenbehafteten SONET-Takt 81 Byte-Möglichkeiten erlaubt, um 78 komplette Datenbytes zu bekommen, und es sind 80 Byte-Möglichkeiten von dem lückenbehafteten SONET-Takt erlaubt, um 77 komplette Datenbytes zu bekommen. Durch die 9 Lücken im SONET-Takt bei den Bytes 20, 21, 42, 43, 64, 65, 86 und 88 werden diese fehlenden Bits berücksichtigt.

Der Modulo-90-Zähler kann auf zwei unterschiedliche Arten zurückgesetzt werden. Die erste ist durch ein invertiertes Reset-Eingangssignal RESET*; die zweite ist durch Decodierung des Steuersignals bei Zählwert 89, wobei es sich um die normale Betriebsart handelt. Ein invertierender Treiber wird benutzt, um die sieben Bits zurückzusetzen und das Ende des Rahmen-Ausgangs-Sync CNT89 zu sein:

Der Modulo-90-Zähler 6 arbeitet mit dem AIS-Generator 4 zusammen, wobei er es zulassen muß, daß 81 Byte-Signalimpulse 78 komplette Bytes mit DS3-Daten bekommen, was dazu führt, daß die 9 Lücken im Ausgangssignal AISEN an den Positionen 20, 21, 42, 43, 44, 64, 65, 86 und 88 decodiert werden. Die letzten beiden sind Lücken von 1 Byte, damit der AIS-Bytezähler 8 Zeit hat, zu zählen und über die letzten beiden Bytes in der Zeile zu entscheiden.

Der DS3-AIS/Ruhe-Kodegenerator 4 benutzt den Modulo-90-Zähler 6 zur Definition der Byte-Taktimpulse für jede SONET-Zeile. Der Zeilenende-Zählwert CNT89 ist das mit neuem Timing versehene CLEAR-Signal, um ein Problem mit der Entscheidungslogik zu verhindern. Das CLEAR-Signal wird dazu benutzt, den AIS-Bytezähler 8 zurückzusetzen und den Zeilen-Zählwert zu incrementieren. Zwei T-Flipflops werden zur Zeilenzählung benutzt. Die Zeilen-Zählwerte Null und Eins erlauben die Erzeugung der AIS-Zeilen mit 78 Byte und zählen die drei kurzen Zeilen mit dem Steuersignal für kurze Zeilen SHROW, mit dem die Zeile mit 77 Byte erzeugt wird, und setzen den Zeilen-Zählwert zurück auf Null. An zwei ODER-Gatter mit 2 Eingängen wird das CLEAR-Signal mit dem Bytezählsignal ABY78*

03.05.00

oder dem Bytezählsignal ABY77* angelegt. Die Ausgänge der beiden ODER-Gatter werden in einem UND-Gatter mit AISEN aus dem Modulo-90-Zähler 6 zusammengeführt, um die Schnittstelleneinrichtung anzuhalten, wenn die erforderliche Anzahl von Bytes erzeugt wurde. Wegen der zufälligen Verteilung der erzeugten 5-Bit-Bytes kann die exakte Anzahl nicht decodiert werden. Sie können nicht gleichmäßig in SONET-Rahmengrenzen umgesetzt werden. Die Figuren 10 und 11 zeigen ein Timing-Diagramm für die Erzeugung einer Zeile mit 77 Bytes, bzw. einer Zeile mit 78 Bytes.

Obwohl die Erfindung mit Bezug auf eine bevorzugte Ausführung gezeigt und beschrieben wurde, ist es für einen Fachmann selbstverständlich, daß verschiedene Änderungen, Auslassungen und Hinzufügungen hierzu durchgeführt werden können, ohne den Umfang der vorliegenden Erfindung, wie in den Ansprüchen definiert, zu verlassen. Die vorliegende Erfindung kann zum Beispiel von einem Fachmann leicht so angepaßt werden, daß sie für die Formatierung asynchroner Digitalsignale in ein beliebiges aus einer Anzahl von Signalformaten benutzt werden kann, einschließlich

DS3 in STS-1

STS-1 in DS3.

ANSPRÜCHE

1. Vorrichtung (2) zur Umwandlung eines asynchronen Digitalsignals in einem asynchronen Rahmenformat in ein synchrones Digitalsignal in einem synchronen Rahmenformat als Funktion eines lokalen Taktsignals, die folgendes umfaßt:
 - Mittel zur Kode-Erzeugung (4) zur Erzeugung von AIS-(Alarm Indication Signal)/Ruhe-Kode-Bytes als Reaktion auf besagtes synchrones lokales Taktsignal, wenn der Verlust eines asynchronen Systemtaktes oder der Verlust von Daten in besagtem asynchronen Digitalsignal erkannt wird;
 - Mittel zur Bytezählung (8) zum Zählen asynchroner Digitalsignal-Bytes, die in eine gegebene Zeile besagten synchronen Rahmenformats umzusetzen sind und zum Erzeugen eines Bytezählungs-Steuersignals, das vom Byte-Zählwert abhängig ist; und
 - Mittel zum Zählen lokaler Taktimpulse (6) zum Zählen der Impulse besagten lokalen synchronen Taktsignals pro Zeile besagten synchronen Rahmenformats und zum Erzeugen eines lückenbehafteten Taktimpuls-Steuersignals, das mindestens eine logische Lücke aufweist, die abhängig von der Differenz zwischen der Anzahl erzeugter Bytes und der Taktimpulse pro Zeile ist. Besagtes lückenbehaftetes Taktimpuls-Steuersignal wird mit besagtem Bytezählungs-Steuersignal kombiniert, das an besagte Mittel zur Kodeerzeugung (4) so zurückgekoppelt wird, daß es besagte Mittel (4) für die Umsetzung besagter AIS/Ruhe-Kode-Bytes in besagte gegebene Zeile freigibt und sperrt.
2. Vorrichtung wie in Anspruch 1, in der die Mittel zur Bytezählung (8) aus einer Vielzahl von Flipflops (300, 302, 304, 306, 308, 310, 312) und zugehöriger kombinatorischer Logikgatter (320, 322, 324, 326, 328, 330) zum Zählen der Bytes bestehen.
3. Vorrichtung wie in Anspruch 2, in der die Mittel zur Bytezählung (8) kombinatorische Logikgatter (332, 334) aufweisen und Eingangssignale von der Vielzahl von Flipflops

05.05.00

(300, 302, 304, 306, 308, 310, 312) empfangen, um das Bytezahlungs-Freigabe-Steuersignal zu erzeugen.

4. Vorrichtung wie in Anspruch 1, in der die Mittel zur Zeilenzählung (6) aus einem Modulo-90-Zähl-Mittel (6) bestehen, das eine Vielzahl von Flipflops (340, 342, 344, 346, 348, 350, 352) und zugehörige kombinatorische Logikgatter (354, 356, 358, 360, 362) aufweist, um die Impulse des lokalen Taktsignals zu zählen.
5. Vorrichtung wie in Anspruch 4, in der die Mittel zur Zeilenzählung (6) kombinatorische Logikgatter (374, 376, 378, 380, 382, 384, 386) aufweisen und Eingangssignale von der Vielzahl von Flipflops (340, 342, 344, 346, 348, 350, 352) empfangen, um ein lückenbehaftetes Freigabe-Steuersignal zu erzeugen.
6. Vorrichtung wie in Anspruch 1, die weiterhin Mittel zur Erzeugung eines Steuersignals für kurze Zeilen (12, 14) enthalten, um für die Mittel zur Bytezahlungs (8) in periodischen Zeilenintervallen ein Steuersignal für kurze Zeilen zu erzeugen.
7. Vorrichtung wie in Anspruch 1, in der die Freigabe-Steuerlogik (4) weiterhin ein UND-Gatter (10) zum Empfang der Bytezahlungs-Steuersignale und des Taktimpuls-Steuersignals und zur Erzeugung eines Freigabe-Impulses für die Mittel zur Byteerzeugung enthält.
8. Vorrichtung (2) wie in Anspruch 1, in der besagte Mittel zur Bytezahlungs (8) besagtes Bytezahlungs-Steuersignal als ein AIS/Ruhe-Bytezahlungs-Freigabe-Steuersignal erzeugen, wenn die Anzahl von AIS/Ruhe-Kode-Bytes unter einer vorher festgelegten Anzahl von asynchronen Digitalsignal-Bytes liegt, die in eine gegebene Zeile des synchronen Rahmens umgesetzt werden sollen.
9. Vorrichtung wie in Anspruch 1, in der besagtes asynchrones Digitalsignal ein DS3-Digitalsignal und besagtes synchrones Digitalsignal ein STS-1-Digitalsignal ist.

03:05:00

oder dem Bytezählsignal ABY77* angelegt. Die Ausgänge der beiden ODER-Gatter werden in einem UND-Gatter mit AISEN aus dem Modulo-90-Zähler 6 zusammengeführt, um die Schnittstelleneinrichtung anzuhalten, wenn die erforderliche Anzahl von Bytes erzeugt wurde. Wegen der zufälligen Verteilung der erzeugten 5-Bit-Bytes kann die exakte Anzahl nicht decodiert werden. Sie können nicht gleichmäßig in SONET-Rahmengrenzen umgesetzt werden. Die Figuren 10 und 11 zeigen ein Timing-Diagramm für die Erzeugung einer Zeile mit 77 Bytes, bzw. einer Zeile mit 78 Bytes.

Obwohl die Erfindung mit Bezug auf eine bevorzugte Ausführung gezeigt und beschrieben wurde, ist es für einen Fachmann selbstverständlich, daß verschiedene Änderungen, Auslassungen und Hinzufügungen hierzu durchgeführt werden können, ohne den Umfang der vorliegenden Erfindung, wie in den Ansprüchen definiert, zu verlassen. Die vorliegende Erfindung kann zum Beispiel von einem Fachmann leicht so angepaßt werden, daß sie für die Formatierung asynchroner Digitalsignale in ein beliebiges aus einer Anzahl von Signalformaten benutzt werden kann, einschließlich

DS3 in STS-1

STS-1 in DS3.

0548649

Neu eingereicht / Newly filed
Nouvellement déposé

03.05.00
1/20

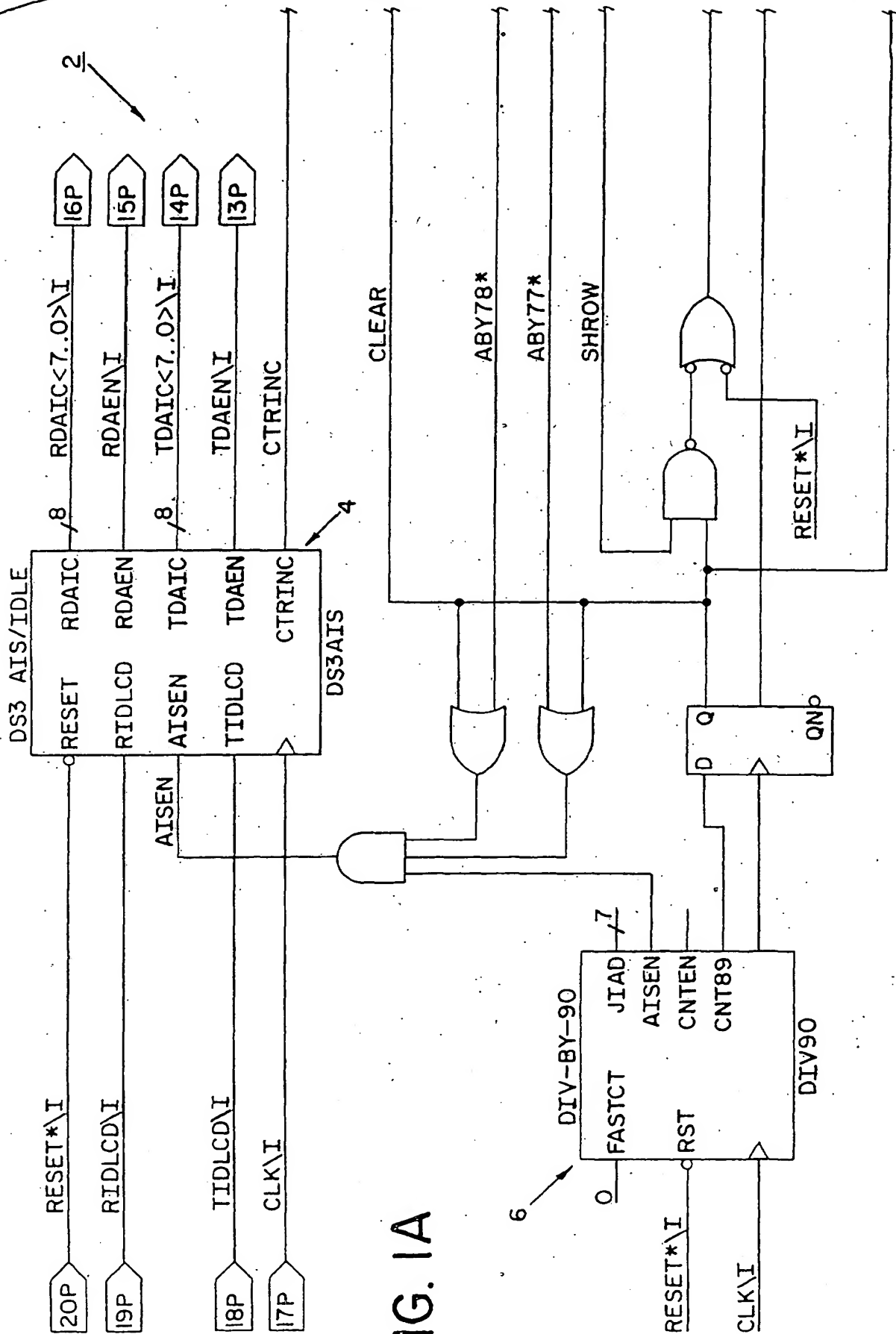


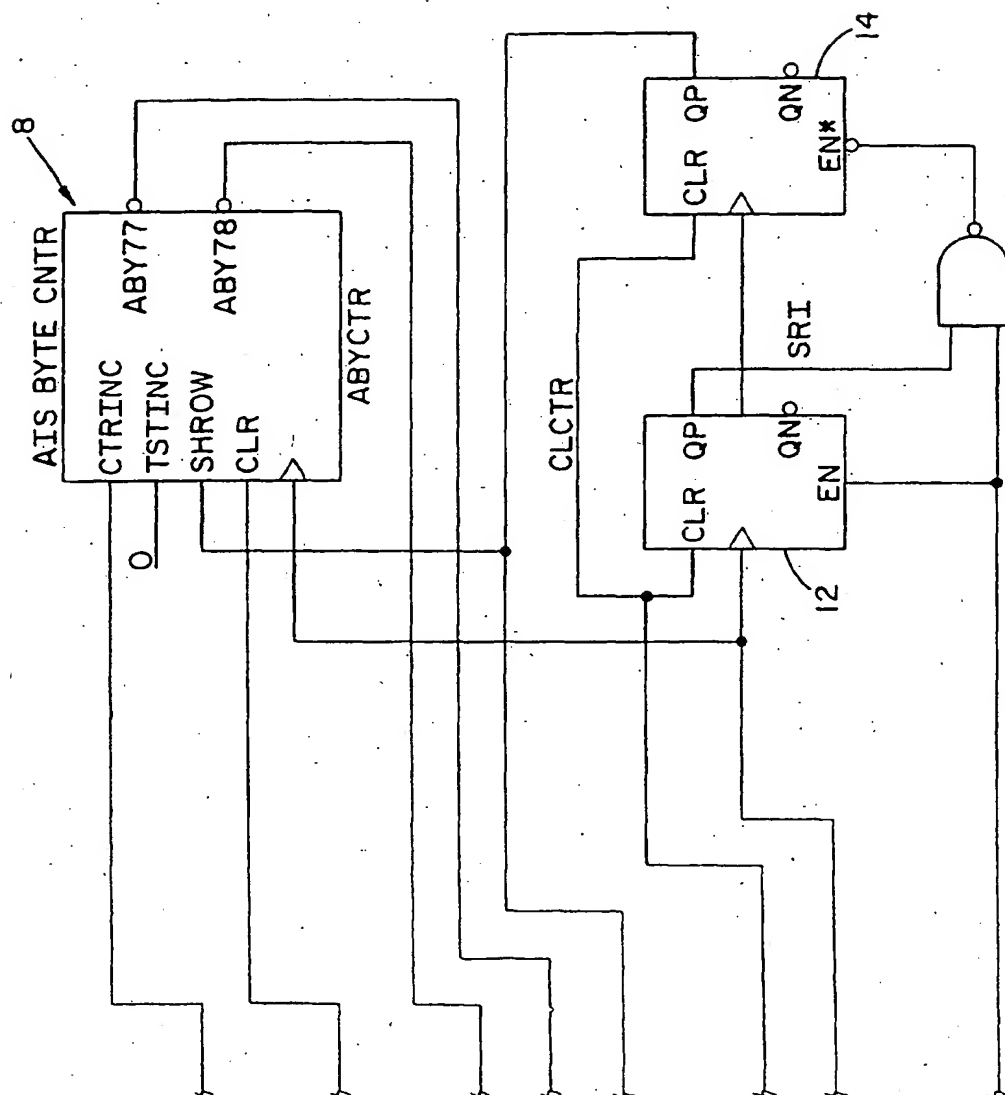
FIG. 1A

03:05:00

Nou eingereicht / Newly filed
Nouvellement déposé

2/20

FIG. 1B

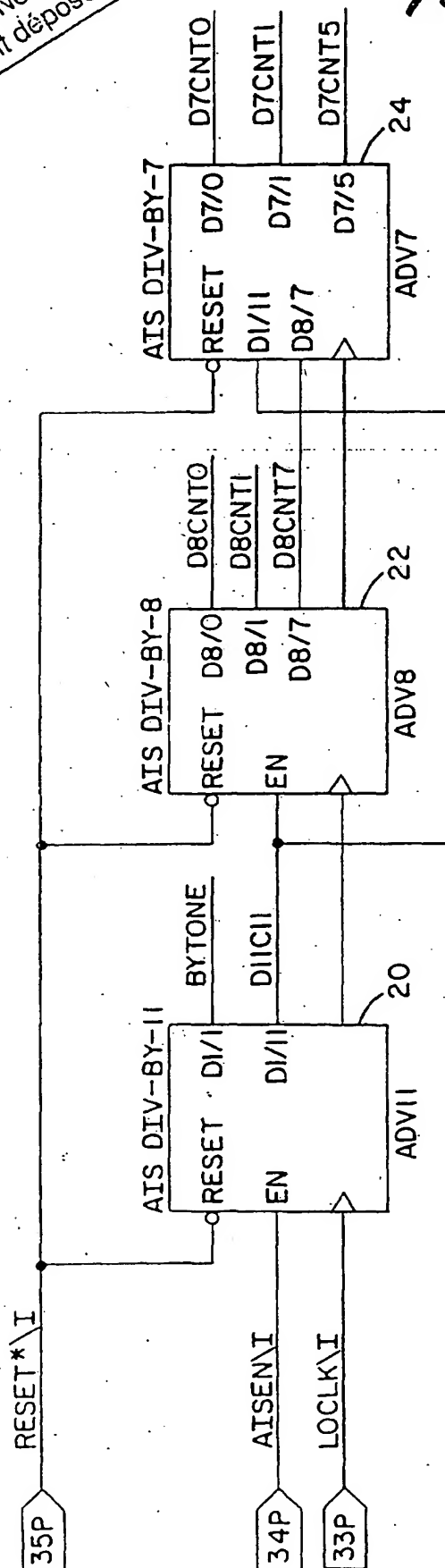


000500

3/20

Neu eingereicht / Newly filed
Nouvellement déposé

FIG. 2A



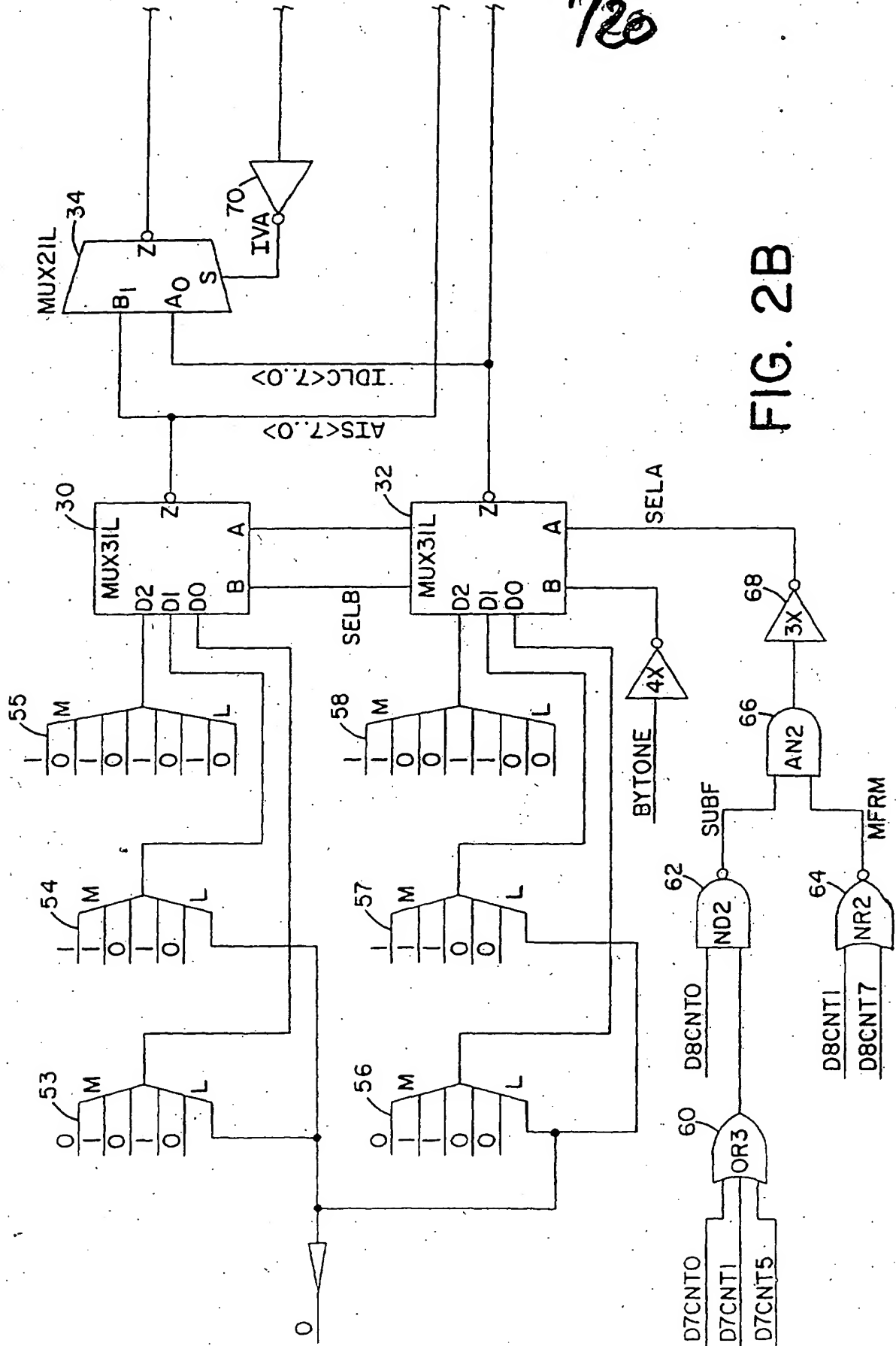
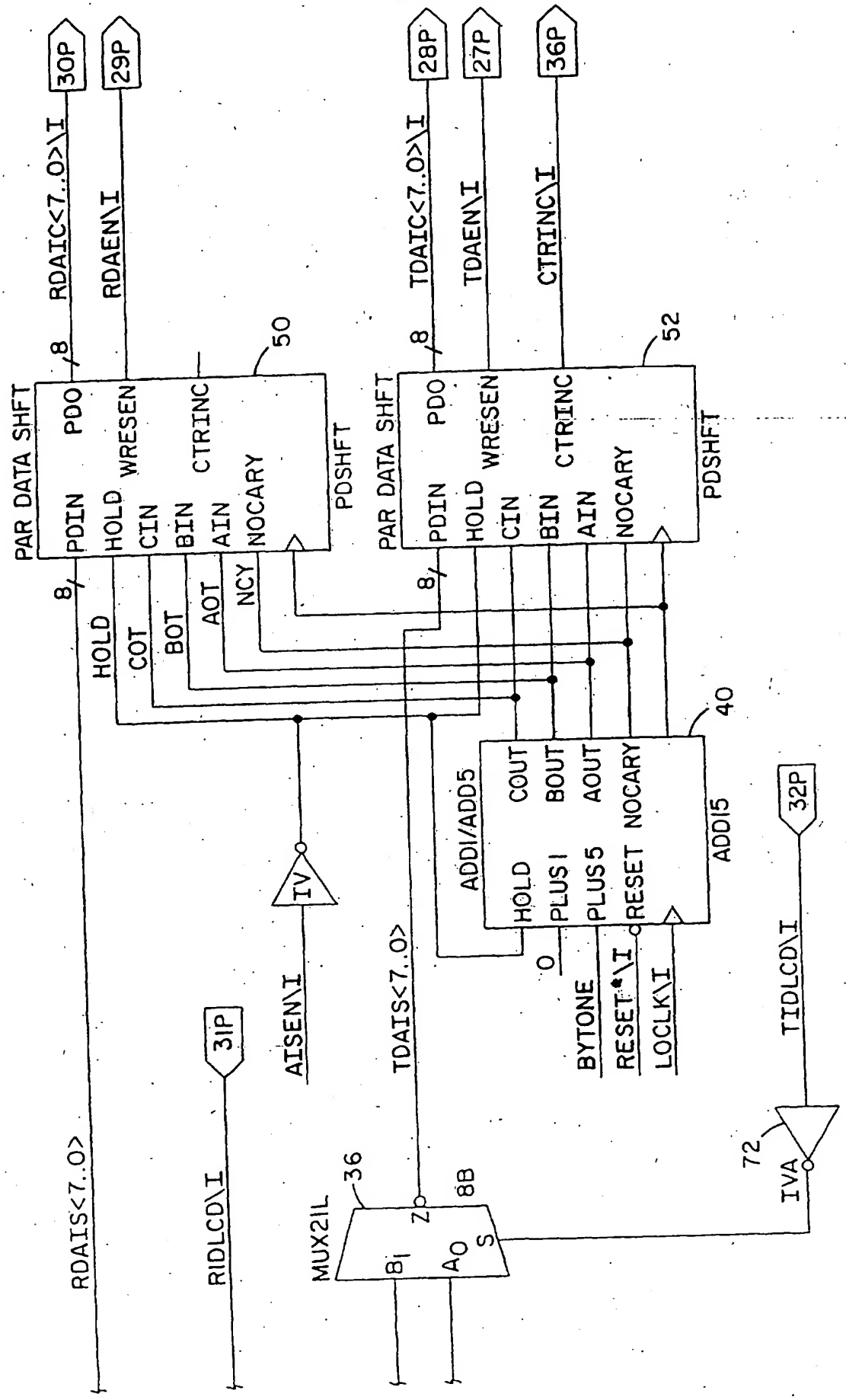


FIG. 2B

Neu eingereicht / Newly filed
Nouvellement déposé

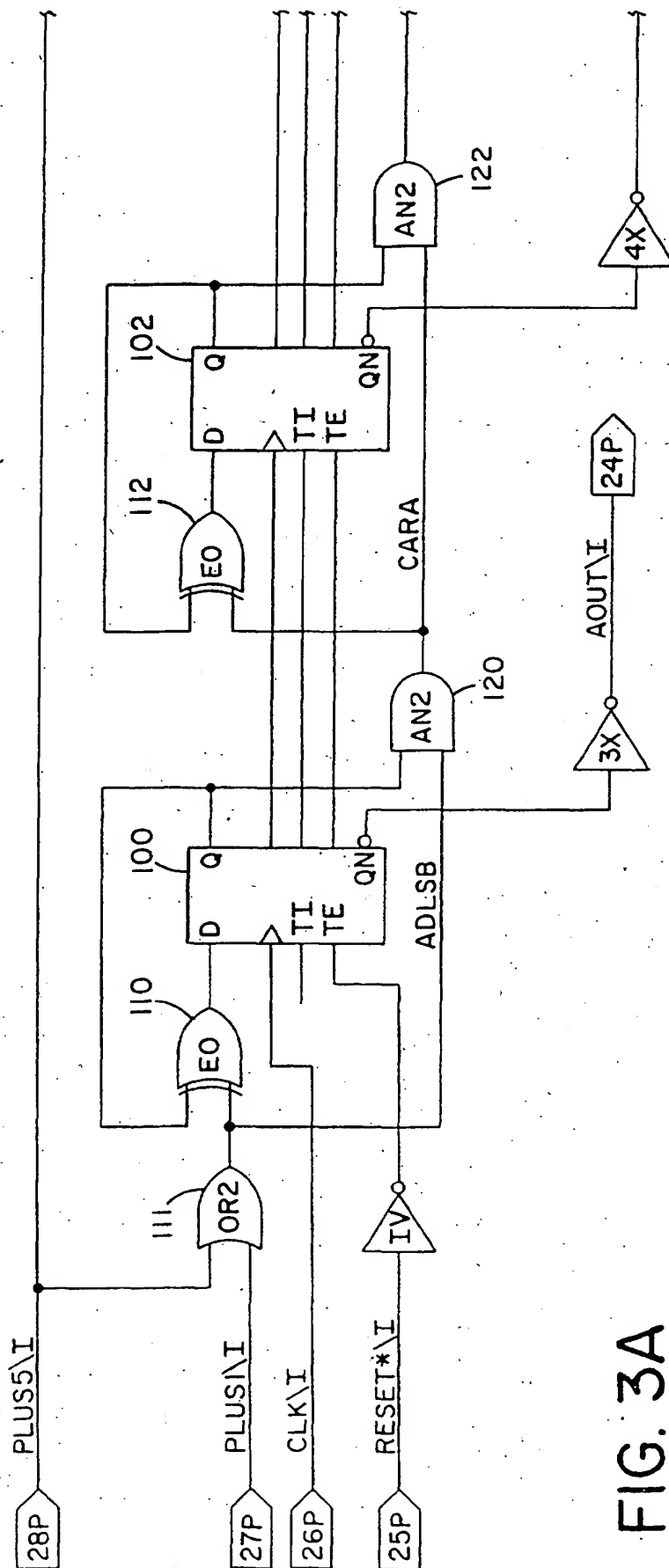
5/20

FIG. 2C



1500

6/20



Neu eingereicht / Newly filed
Nouvellement déposé

05.00

F/20

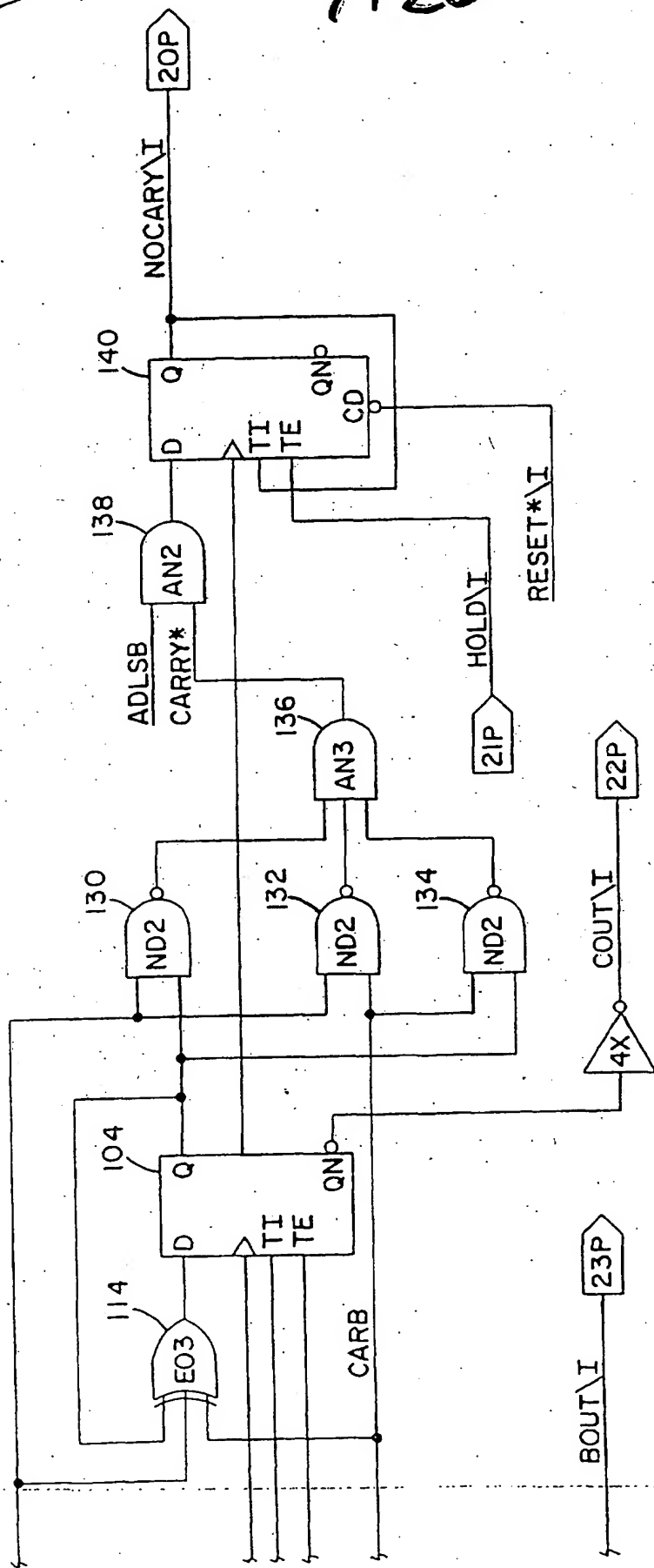
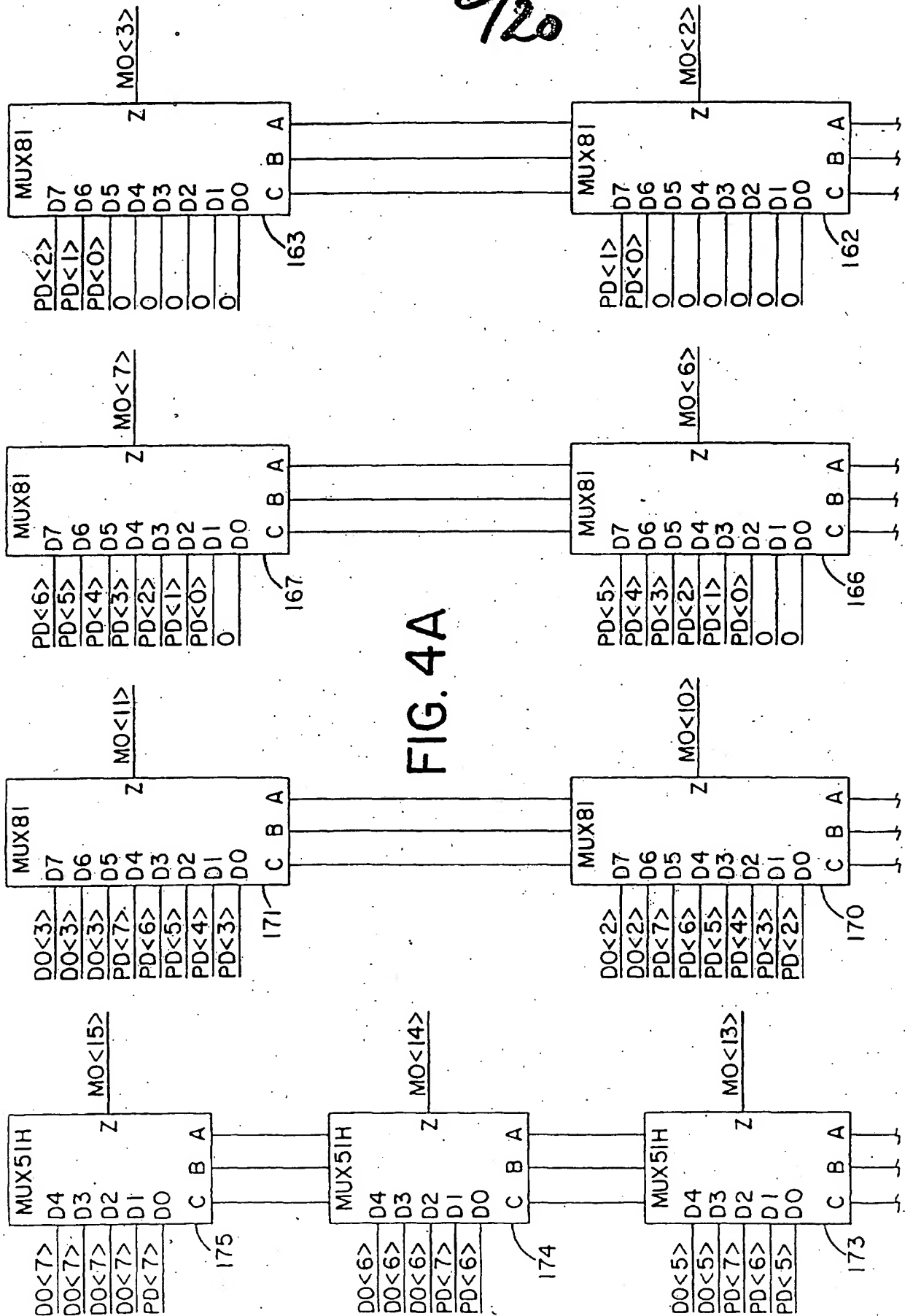


FIG. 3B

Neu eingereicht / Newly filed
Nouvellement déposé

05.00
8/20



9/20

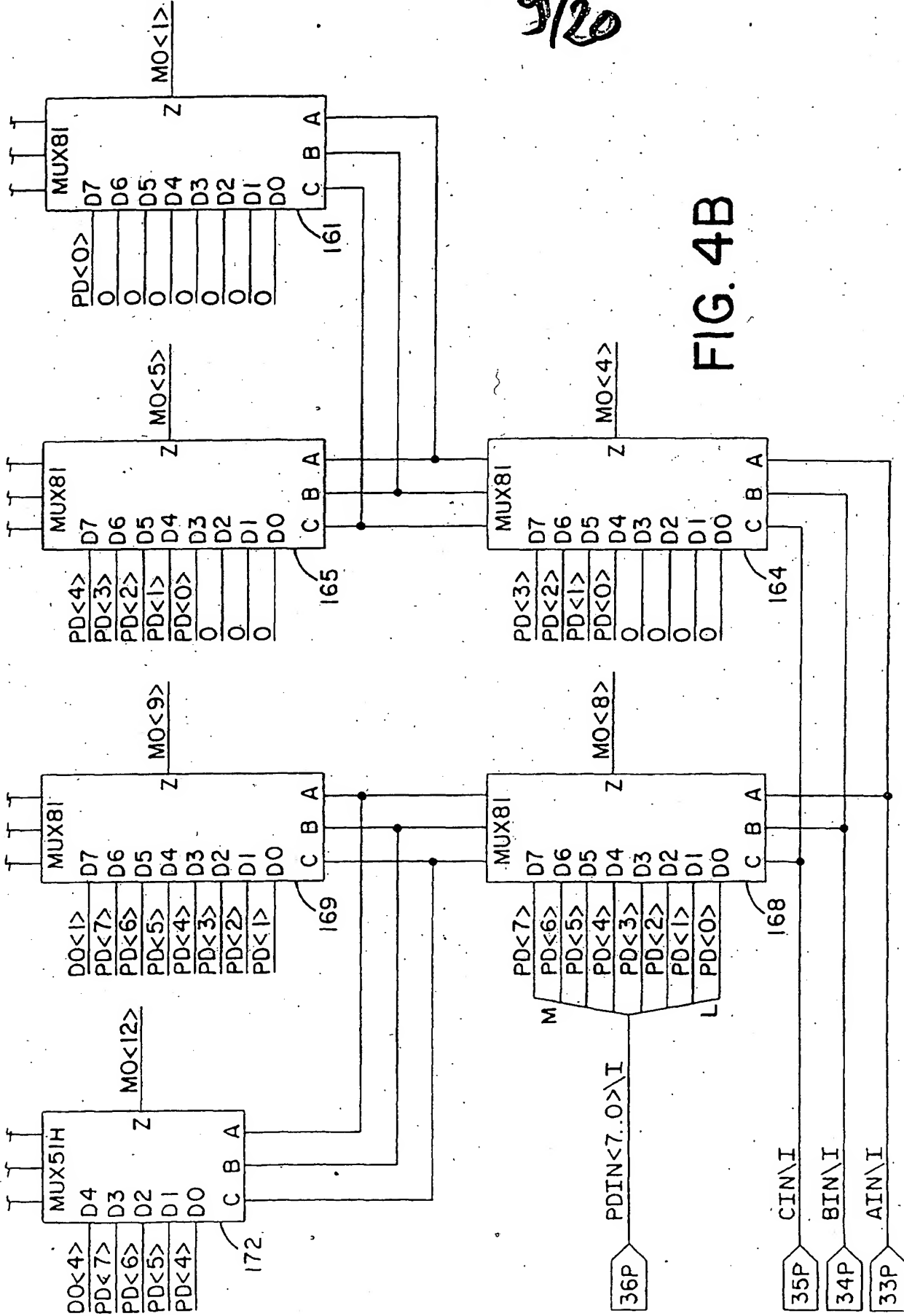


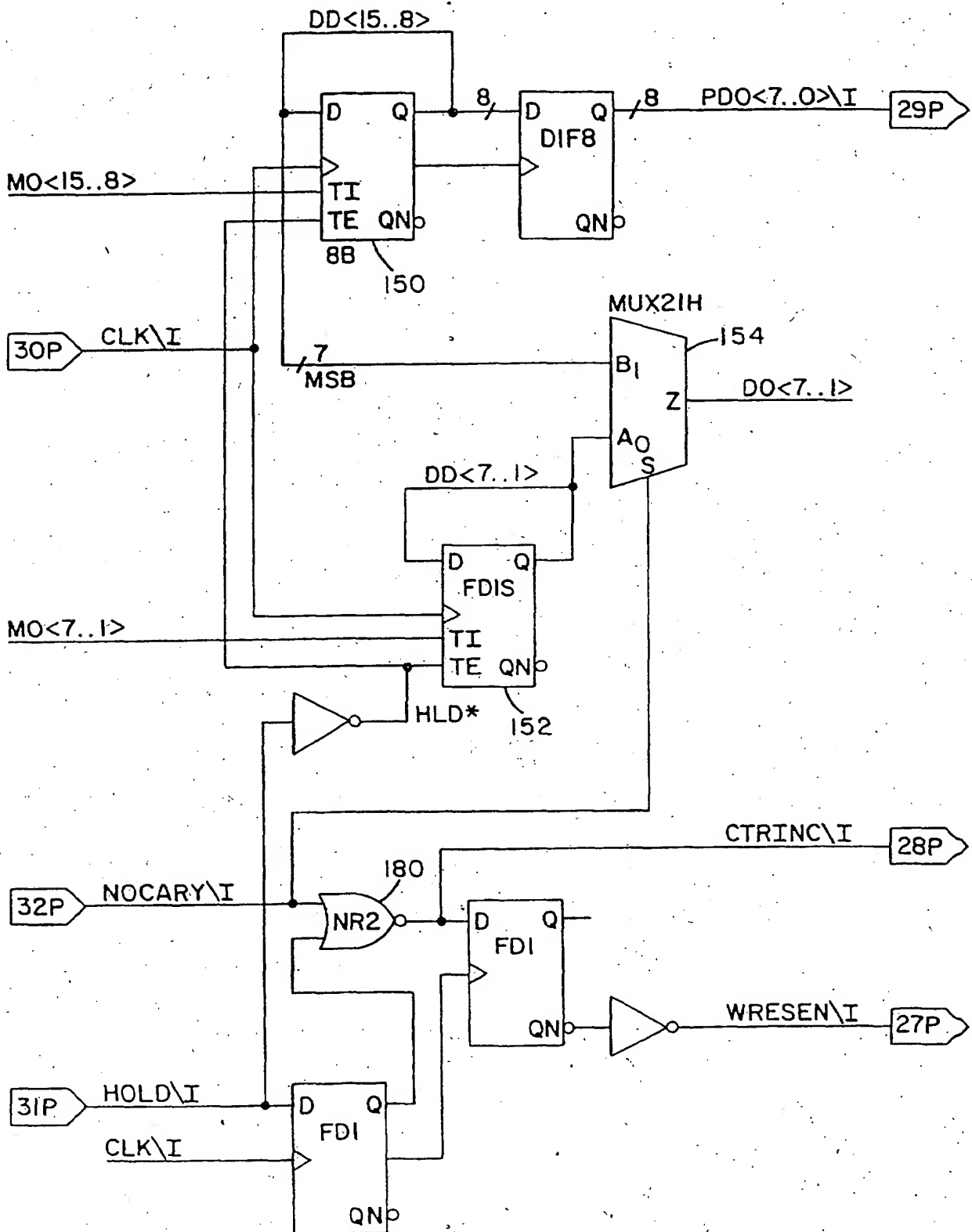
FIG. 4B

Neu eingereicht / Newly filed
Nouvellement déposé

05.00

FIG. 4C

10/20

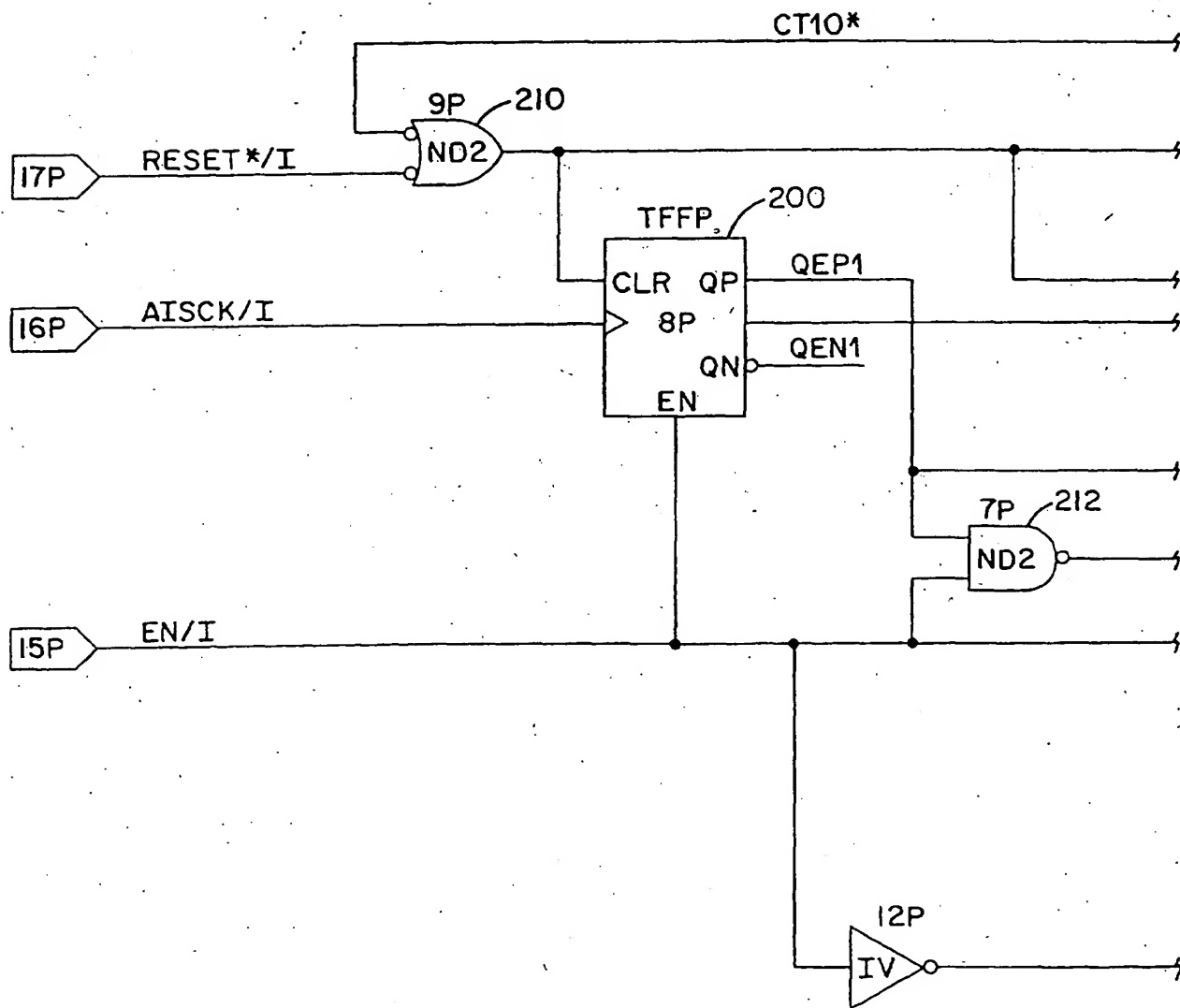


03.03.00

Neu eingereicht / Newly filed
Nouvellement déposé

FIG. 5A

11/20

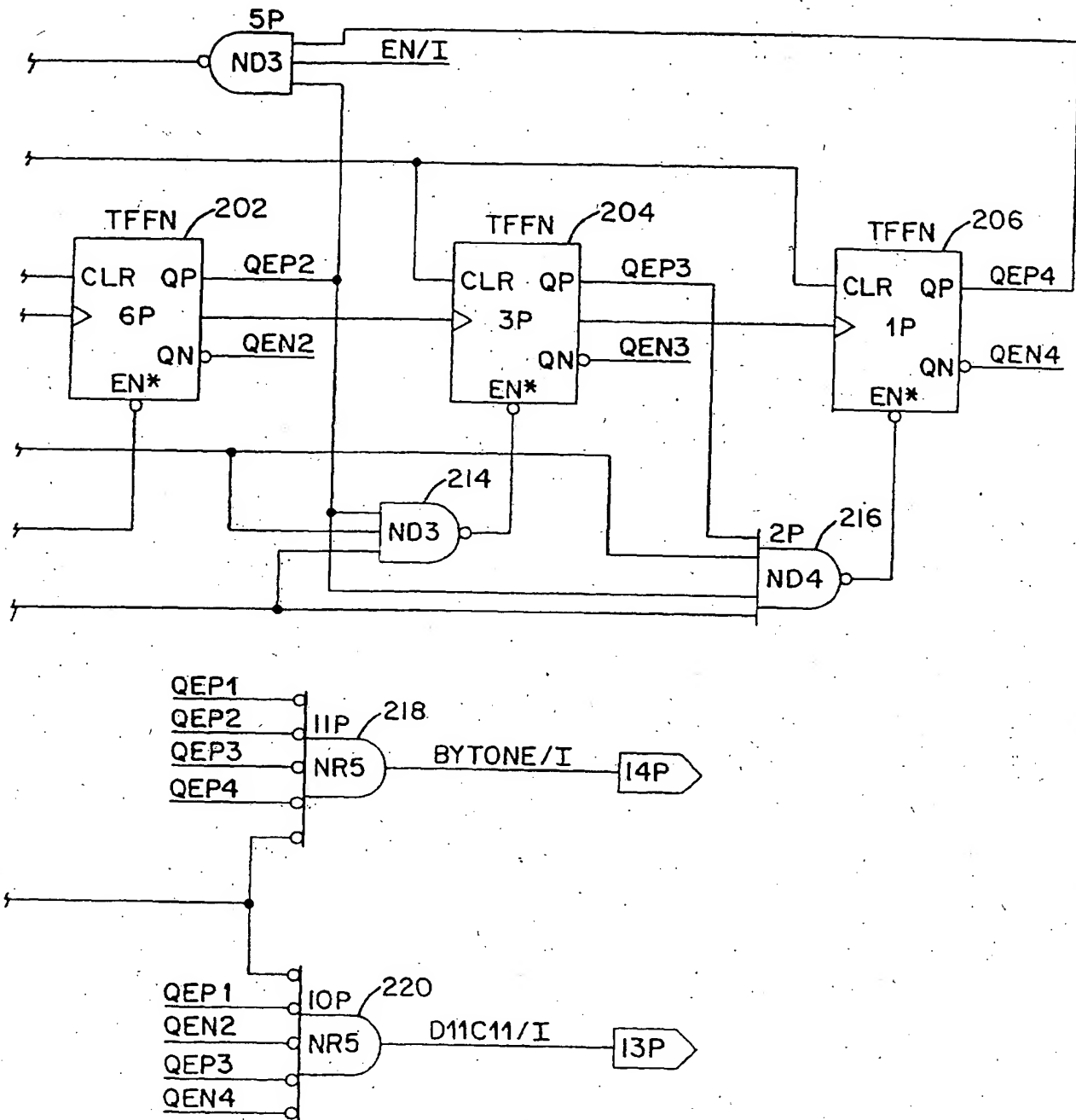


03.05.00

Neu eingereicht / Newly filed
Nouvellement déposé

12/20

FIG. 5B



09.08.00

Nou eingereicht / Newly filed
Nouvellement déposé

13/20

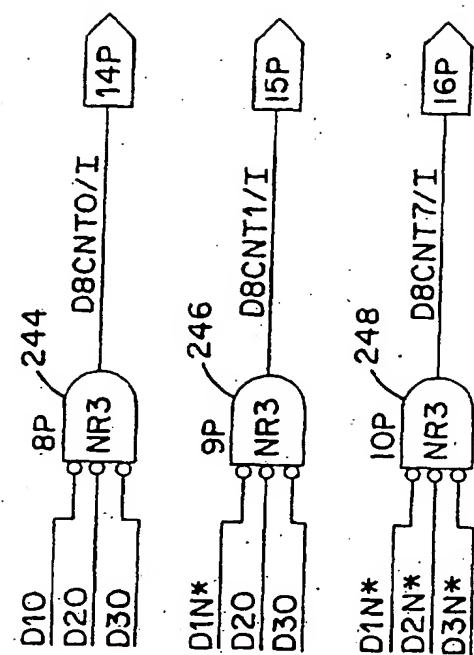
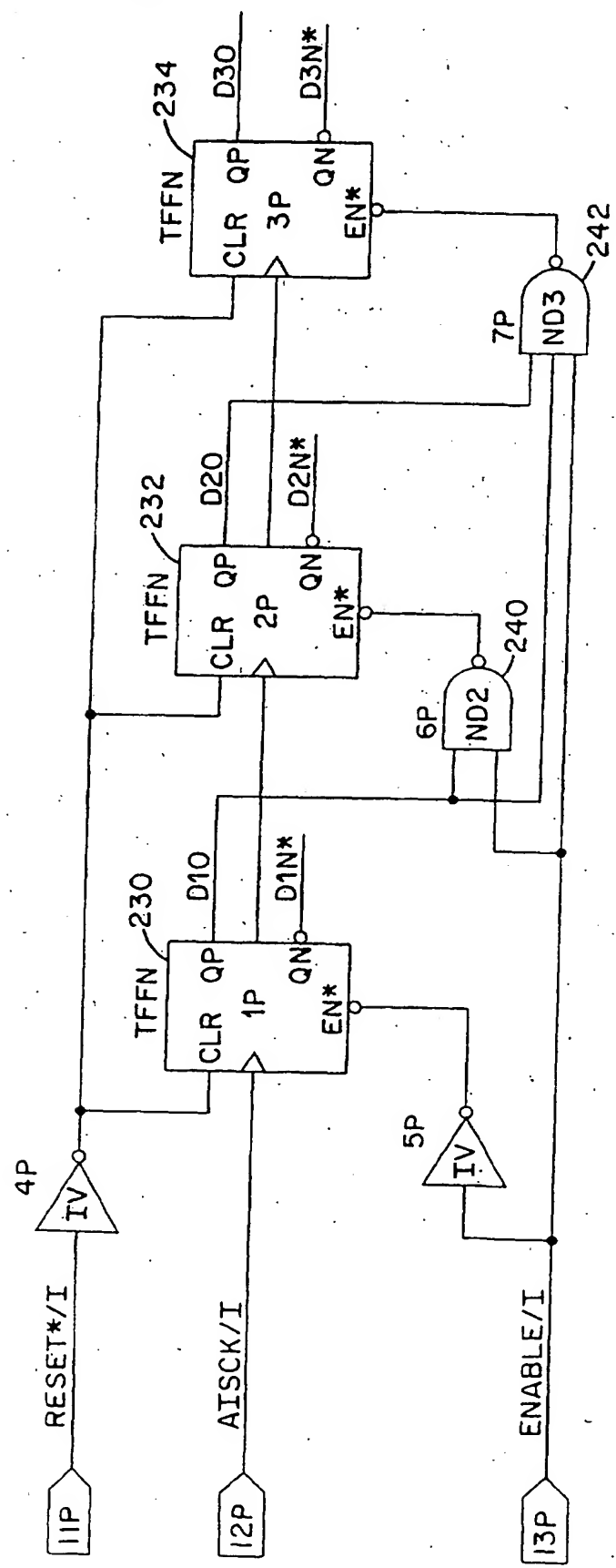


FIG. 6

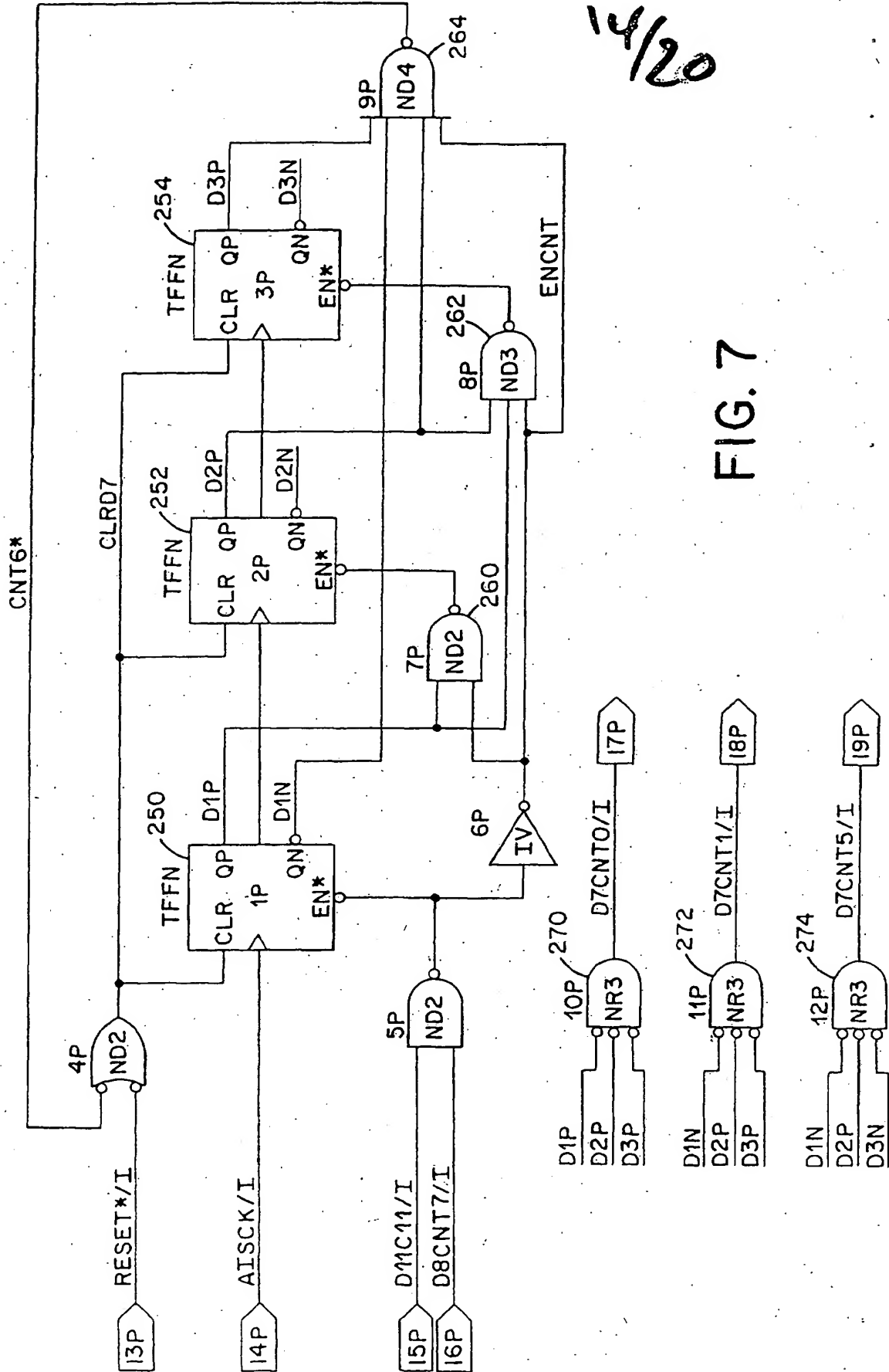
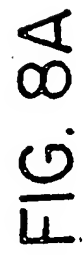


FIG. 7



000500

Neu eingereicht / Newly filed
Nouvellement déposé

16/20

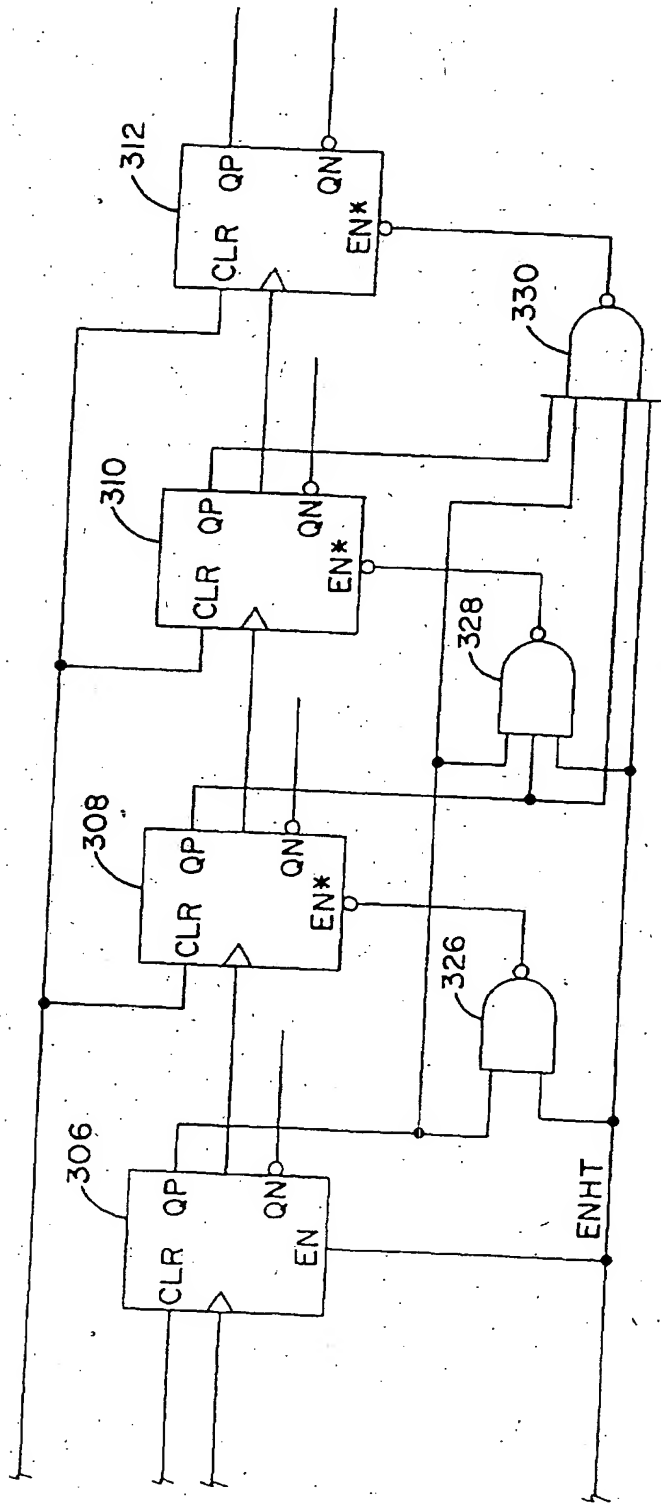


FIG. 8B

03.05.00

Neu eingereicht / Newly filed
Nouvellement déposé

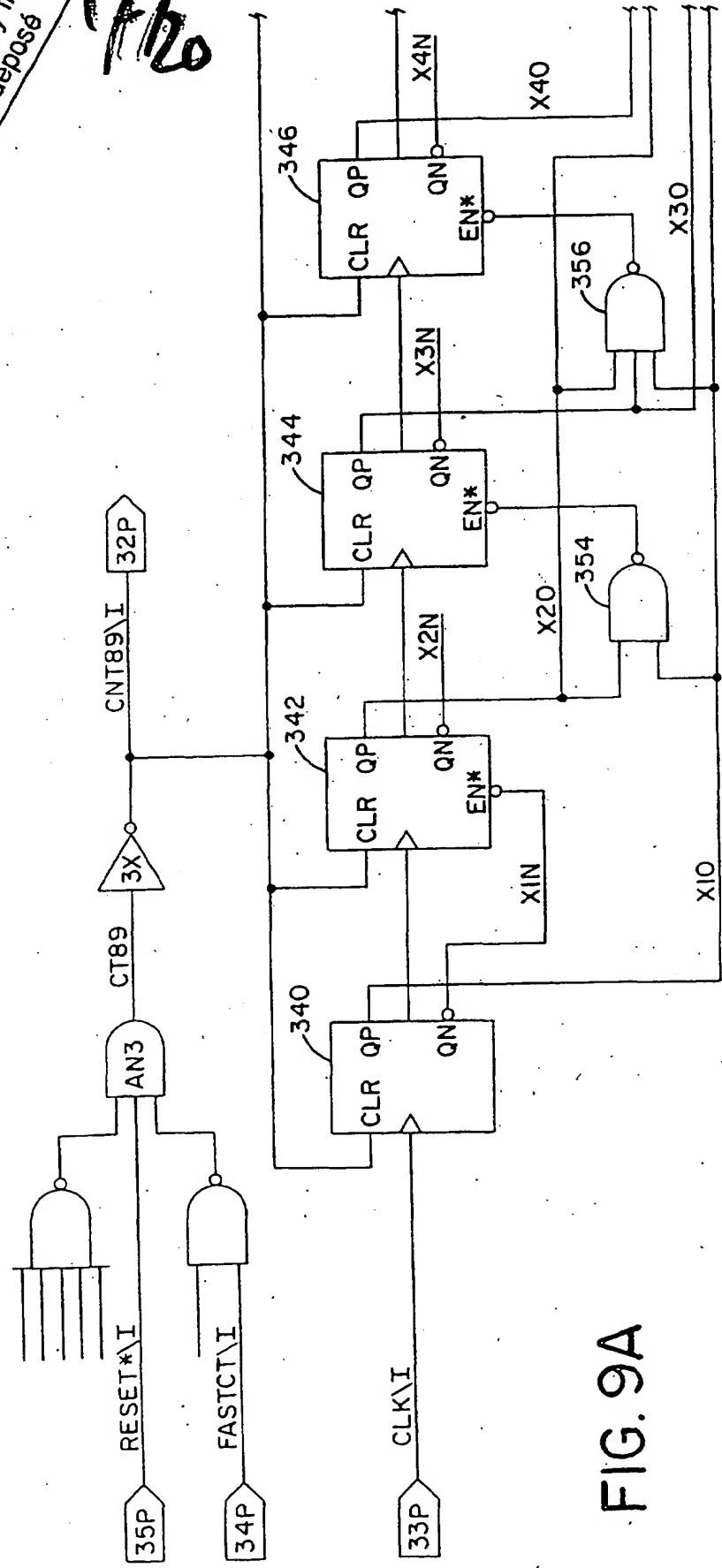
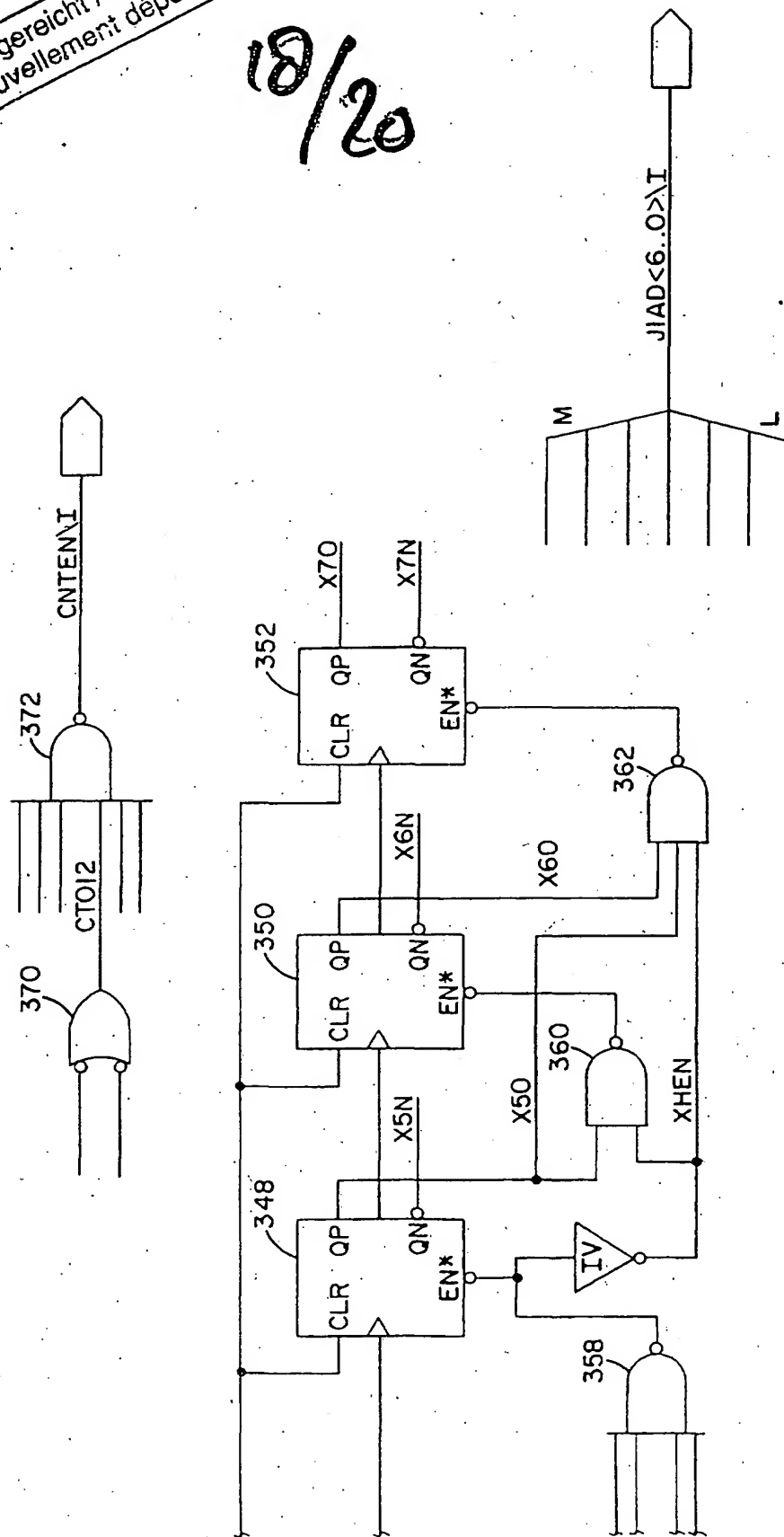


FIG. 9A

18/20

FIG. 9B



03.05.00

Neu eingereicht / Newly filed
Nouvellement déposé

19/20

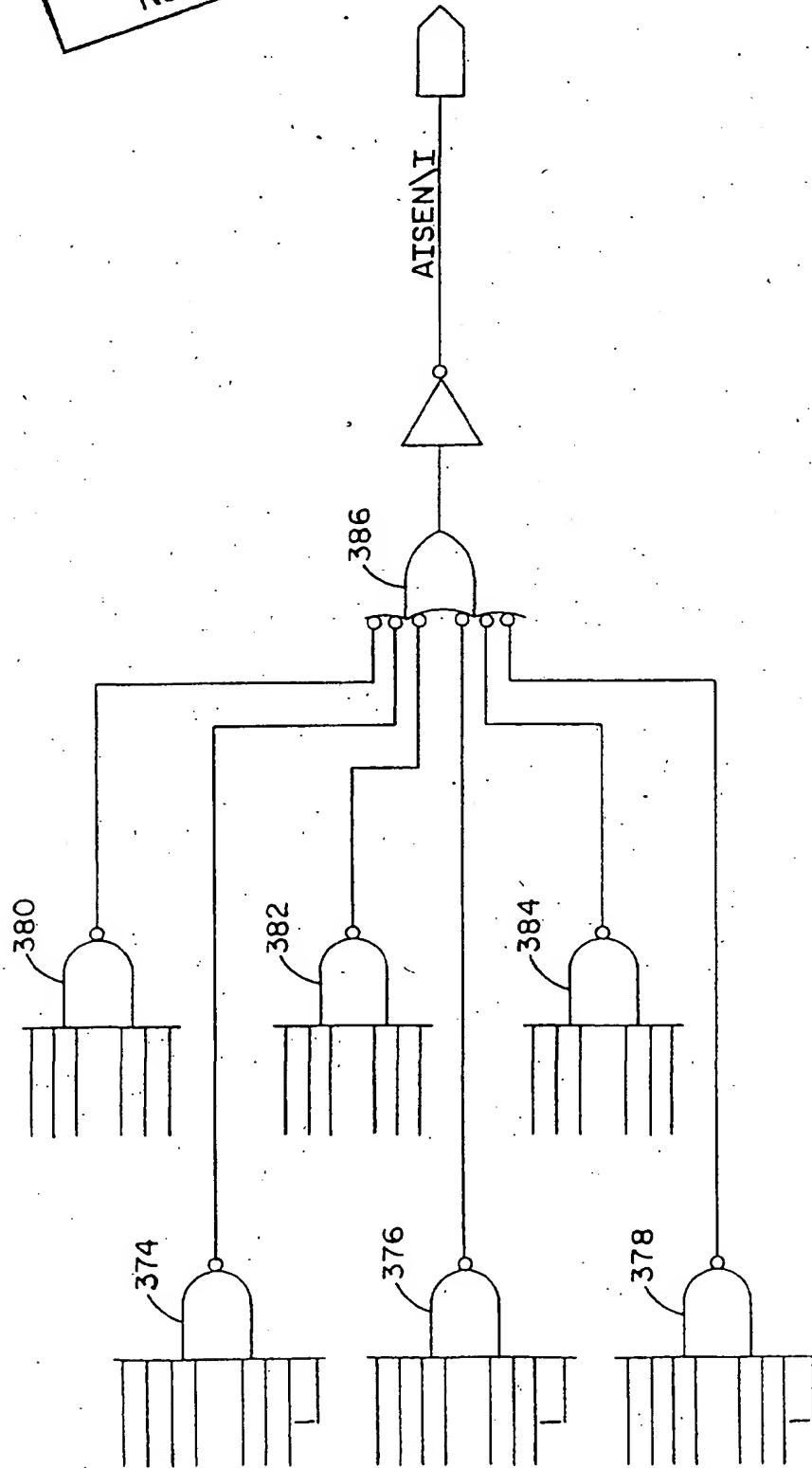


FIG. 9C

03 05 00

Neu eingereicht / Newly filed
Nouvellement déposé

20/20

FIG. 10

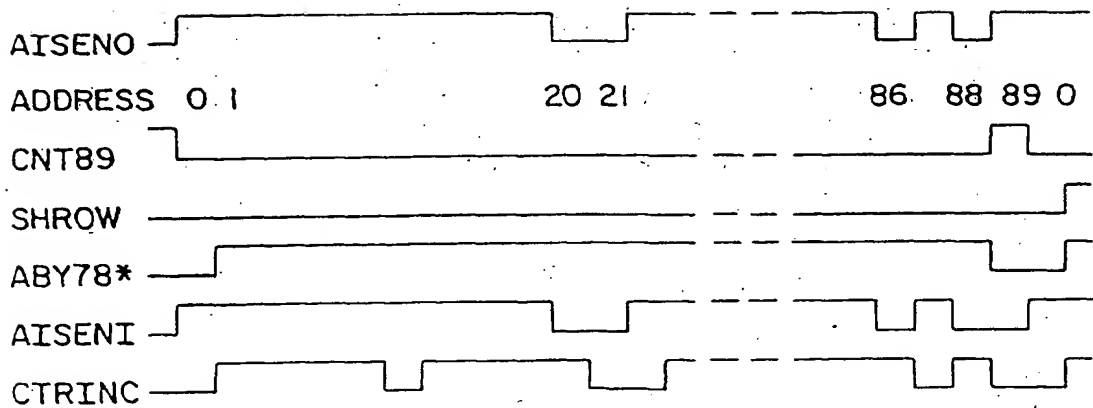
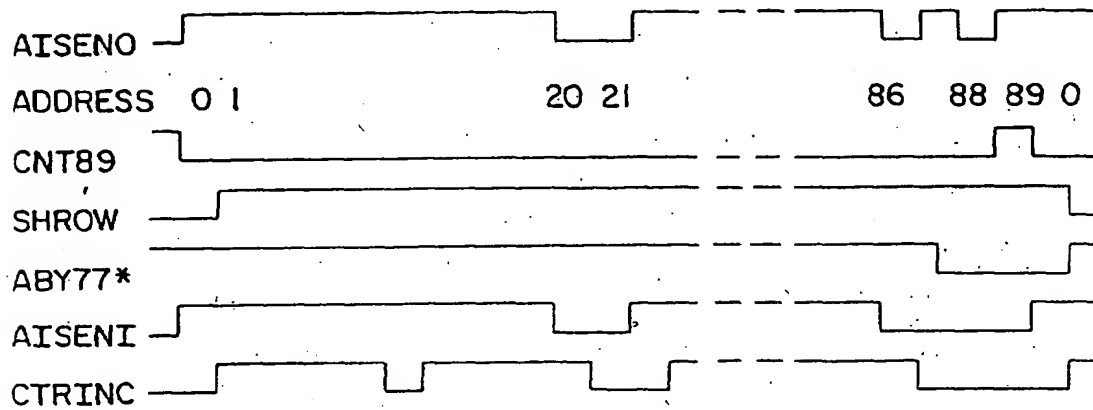


FIG. 11